

# Full Predictive Control of Induction Acceleration in the KEK Digital Accelerator

Masatsugu Barata<sup>1,2)</sup>, Hiroyuki Asao<sup>3)</sup>, Teruo Arai<sup>2)</sup>, Yoshihito Okada<sup>3)</sup>, Shinya Harada<sup>1)</sup>, Koichi Mochiki<sup>1)</sup>, Takashi Yoshimoto<sup>2,4)</sup>, Toshikazu Adachi<sup>2)</sup>, and Ken Takayama<sup>2,4)</sup>

<sup>1)</sup>Tokyo City University, Setagaya Tokyo Japan

<sup>2)</sup>High Energy Accelerator Research Organization (KEK), Tsukuba, Ibaraki, 305-0801 Japan

<sup>3)</sup>NEC Network and Sensor Systems, Ltd., Toshima-ku, Tokyo, 170-0013 Japan

<sup>4)</sup>Tokyo Institute of Technology, Department of Energy, Nagatsuda, Yokohama, Japan

## Abstract

The KEK Digital Accelerator is a small-scale induction synchrotron which can accelerate any ion species with their possible charge states from a low energy to high energy, no using a large scale injector. It is so busy to carry out beam commissioning now, after installing new position monitors in April. An ion beam is accelerated and confined with induction cells that are 1-to-1 and 2-to-1 pulse transformers, respectively. The induction acceleration system has technical limitations, such as constant and maximum output voltage, finite pulse length, and maximum repetition rate. These limitations are overcome by introducing multiple induction cells and by gate controlling of the solid-state switching power supply to drive the induction cell. This is carried out by a completely programmed FPGA code maneuvering the gate trigger.

## KEK デジタル加速器に於ける誘導加速の完全予測制御

### 1. デジタル加速器の概要

デジタル加速器[1]は KEK 旧 500MeV ブースターリングを改装して作られた誘導加速シンクロトロン[2, 3]である。高周波電圧に代わって、1 対 1 のトランスである誘導加速セルに発生する高圧誘導パルスを使用し、2 種類の加速セルを「加速」と「閉じ込め」用に使い分けることでビームハンドリングの自由度を大幅に改善している。誘導加速セルを駆動する電源はコンデンサーと高速スイッチング素子から成るスイッチング電源である。このスイッチング素子のトリガー信号は高速信号処理デバイス(FPGA)を使用して発生させることにより、加速途上の非相対論的速度から相対論的速度までの粒子速度の変動に対応できる。原理的にはバンド幅の制限が無いので大型の入射器を用いずにこの円形加速器 1 台で相対論的速度までイオンを加速できる事が大きな特徴である。陽子から金イオンを含む全てのイオンの加速が可能である[4]。

デジタル加速器の主な構成は ECR イオン源、LEBT、主電磁石、ES 入射キッカー、取り出しセプタム、誘導加速システム、ビーム位置モニター、バンチモニターからなる。図 1 にその概略図を示す。ビーム位置モニターの更新後、本格ビームコミッションングが進行中である[5,6,7]。

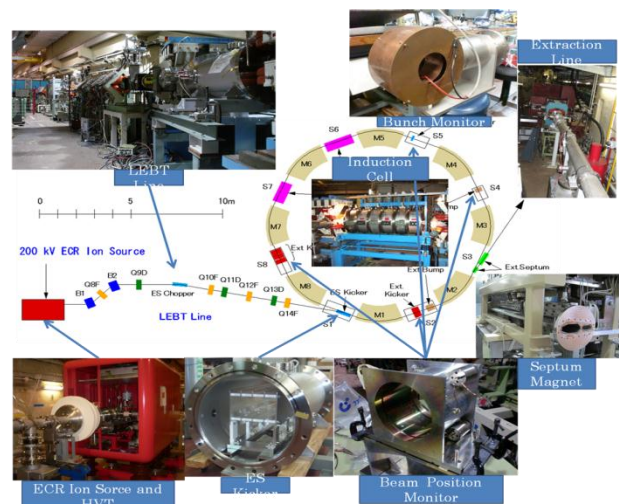


図 1 : デジタル加速器概略図

### 2. 誘導加速システムと制御系

誘導加速システムを構成する装置とその制御系について述べる。

#### (1) 誘導加速セル

誘導加速セルはファラデーの電磁誘導の法則を利用して荷電粒子ビームを加速する装置である。原理的にはトロイダル磁性体コアを持つ 1:1 のトランス

である。トランスの二次側には真空チェンバーと一体化したセラミックギャップがあり、この部分に加速電圧が発生する。

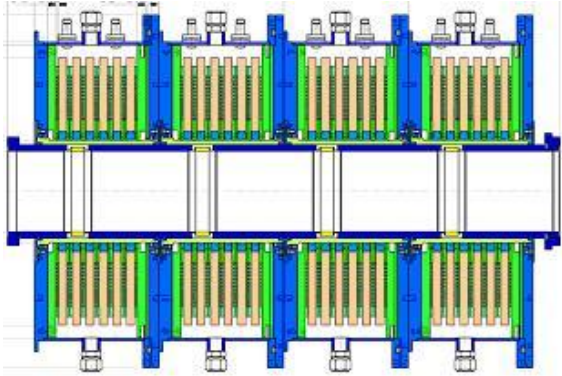


図 2 : 4セルがスタックされた誘導加速装置、セル当たりの最大出力電圧は 2 kV

### (2) スイッチング電源

キャパシタバンクとパワーMOSFET で構成されたフルブリッジ構成のスイッチングアームからなる。キャパシタバンクは DC 充電器から常時充電されている。スイッチングアームを構成する 7 個の MOSFET のゲートを同時に On/Off し、パルス電圧を生成する。伝送線を経由し、下流の誘導加速セルへ伝送される。

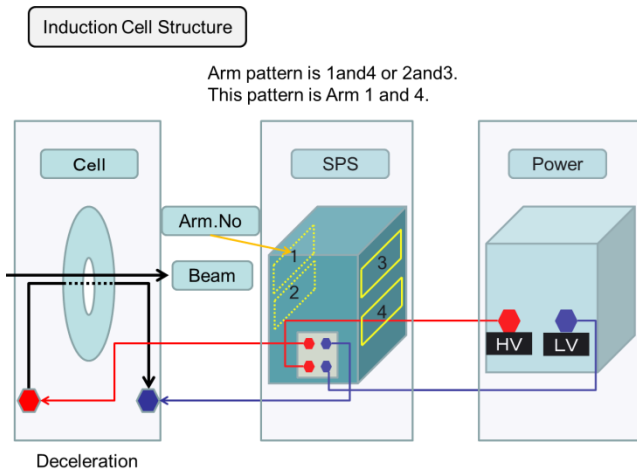


図 3 : 誘導加速セル、スイッチング電源、DC 充電器の接続図

### (3) 制御系

誘導加速システムの制御システムを図 4 に示す。

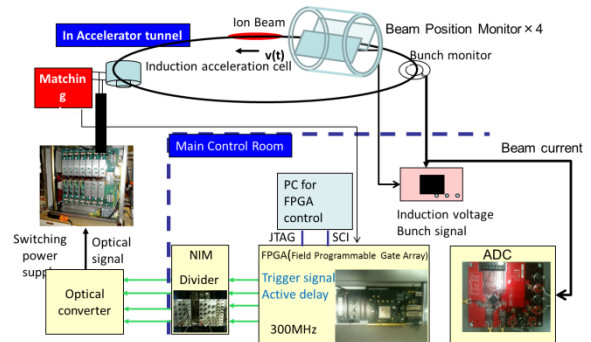


図 4: 誘導加速システムの制御系統とビームモニター

FPGA を用いた高速信号処理によってスイッチング電源のスイッチング素子のゲート信号の制御のみで全てをハンドリングする。パルスモード運転の ECR イオン源から 5 msec のビームが供給されるが、このビームから縦方向のチョッパーで数 $\mu$ sec 長に切り出される。このチョッパー信号を加速サイクルのスタート信号と捉え、ファンクションジェネレータに取り込み FPGA に周回スタートの合図となる信号を生成する。FPGA では周回スタートの合図からリファレンスシグナル、加速セル、閉じ込めセル用のゲートトリガー信号が生成される。これが光変換モジュールを通してスイッチング電源に送られ、誘導加速セルを駆動する。FPGA 内での制御フローを図 5 に示す。

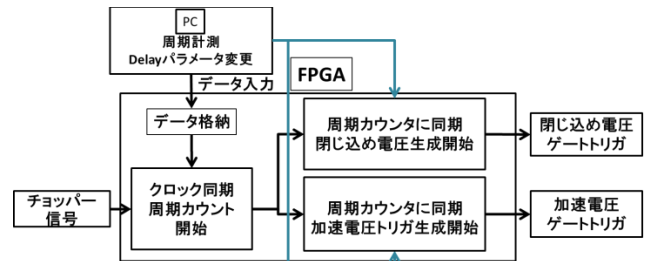


図 5:FPGA フローチャート

実際に使用する FPGA ハードウェアボードは、ML555 Virtex-5 LXT Development Kit (XILINX 社製)(図 6)で最大動作周波数 300MHz、256MB DDR2 SDRAM 内蔵、外部 I/O を 200 ピン搭載、外部通信用 に USB ポートを搭載している。図に FPGA の写真を載せた。



図 6 : 使用された FPGA ボード

この FPGA ボードは高速作動インターフェース LVDS(Low Voltage Differential Signaling)を搭載しており、予定されているフィードバック制御を実施する際に、必要な外部機器との信号の送受信が可能である。

### 3.FPGA によるトリガー生成

#### (1)完全予測制御

12GeV PS を用いた誘導加速シンクロトロンの実証実験[2]の時と比べ KEK デジタル加速器のビーム強度が低い。そのため、バンチモニタ信号も低レベルである。また、バンチモニタ周辺のグラウンドレベルが電源ノイズ等により安定していなかったため、誘導加速シンクロトロンの実証実験で採用されたビームフィードバック制御を行うことが困難であった。そこで、ビームの生信号を起源とせず、ビーム模擬信号を使用して制御を行う完全予測制御が採用された。

誘導加速シンクロトロンは、ビームの周回に同期した誘導加速電圧を発生させなければならない。粒子を円軌道に閉じ込めるためには、高周波シンクロトロン同様に遠心力とローレンツ力の釣り合いが保たれる必要がある。言い換えれば、KEK-DA において、磁場のランピングパターンは正弦波に設定されているから、加速に必要な電圧や粒子の周回周波数の変化は、磁場のパラメータから一意に決定することが出来る。次の図は磁場のランピングパターンに対応して必要な加速電圧、周回周期、運動エネルギー、を示している。これらは全て以下の加速条件式によって決定される。

$$V = \rho \cdot C \cdot \frac{dB}{dt}$$

ここで、 $V$ ,  $C$  は各々必要なターン当たりの加速電圧と加速器リングの周長。 $\rho$ ,  $B$  は偏向電磁石の曲率半径と磁束密度である。

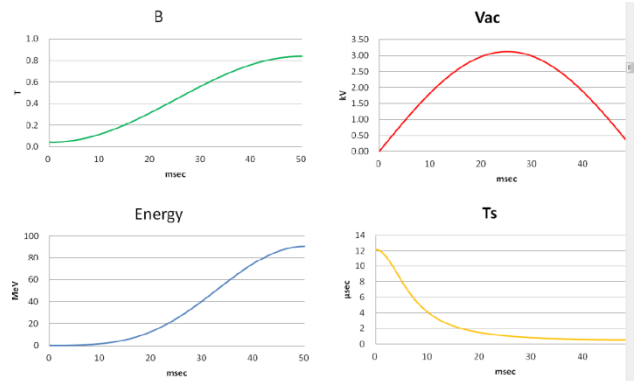


図 7:磁場のランピングパターンに対応する加速電圧、周回周期、運動エネルギーの変動

#### (2)トリガー信号

FPGA ではスイッチング電源のオン・オフ制御のために用いられている半導体スイッチング素子のトリガー信号を生成している。チョッパー信号をトリガー生成開始の合図とし、周回周期、閉じ込め電圧の制御信号、加速電圧の制御信号を出力している。図 8 に生成されるトリガ信号の模式図を示す。

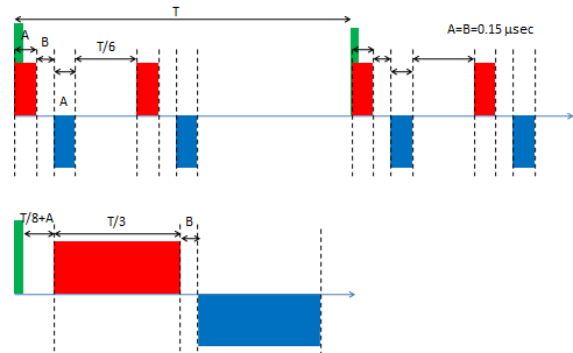


図 8 : FPGA トリガー信号模式図 (緑 : 周回周期信号で模擬ビーム信号に相当する、以降リファレンス信号と呼ぶ、上赤・青 : 閉じ込め電圧のセット・リセット制御信号、下赤・青 : 加速電圧のセット・リセット制御信号)

ビームの閉じ込めにはセルを二台使用しており、それぞれの時間はトリガー幅(A)150ns、セットとリセット間(B)150ns、セルのインターバル(C)は周期を  $T$  として  $T/6$  という設定である。一方、加速セルではトリガー幅  $T/3$ 、セットとリセット間 150ns が設定されている。又、閉じ込め用セル位置と加速用セル位置は物理的距離があるので、対応する時間ディレイ  $T/8$  が導入されている。図 9, 10 に周回周期  $T$  の信号に対する加速セルと閉じ込めセルのトリガー信号を示す。

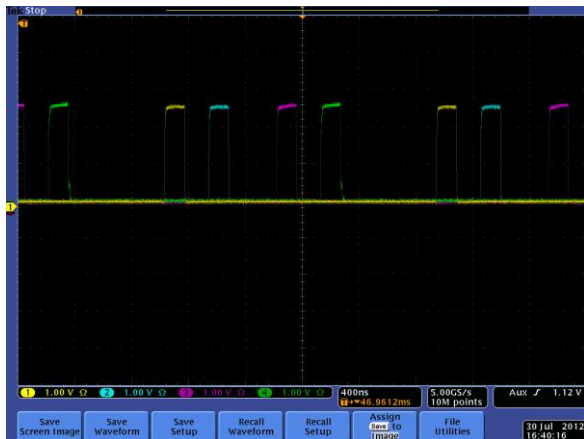


図 9：閉じ込めセル用トリガー信号



図 12：閉じ込め電圧波形

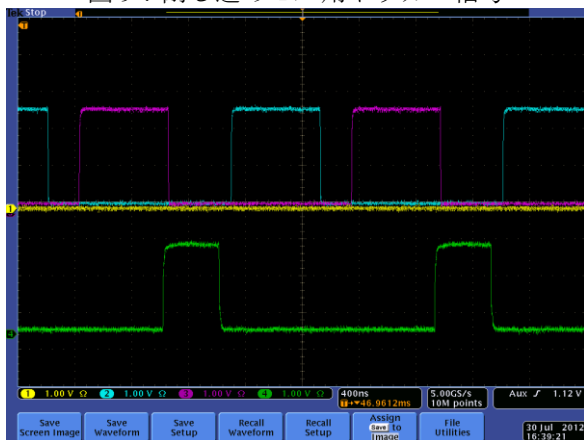


図 10：加速セル用トリガー信号（緑：リファレンスシグナル）

#### 4. 制御システムの典型的動作と考察

##### (1)制御システムの動作

上に FPGA で生成されるトリガー信号の図を示したが、これに対して実際に応答する誘導加速電圧信号を図 11、12 に示す。このパルス電圧は L 負荷である加速セルに対して並列に挿入されたマッチング抵抗器に設置した CT の信号波形として得られる。

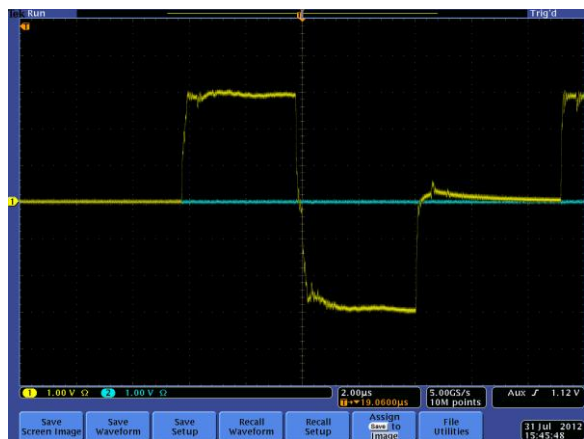
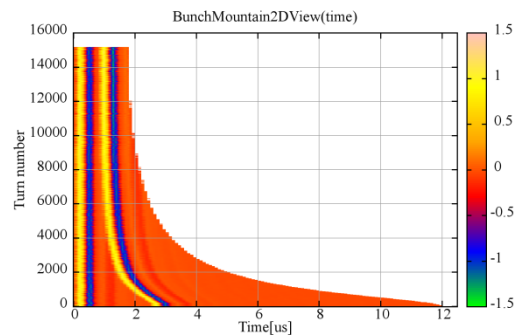


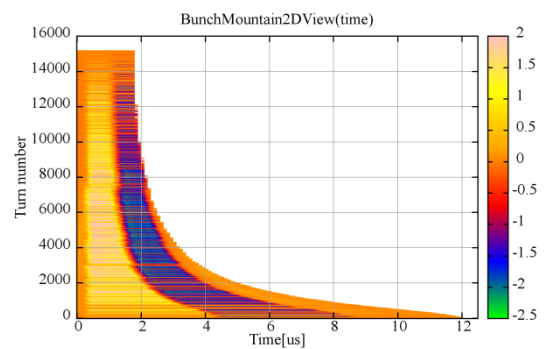
図 11：加速電圧波形

この図からもわかるように実際にはトリガー信号を受け取ってから駆動するまでの時間、また停止までの時間には 50ns ほど時間がかかっている。これは MOS-FET の応答特性によって発生する。またオーバーシュートによる電圧の乱れも見る事ができる。加速サイクル全行程（50msec）に渡る閉じ込め電圧と加速電圧の生成の様子を周回時間と加速時間から成る平面上に示す。



7/31 15:22:40 2012

図 13：閉じ込め電圧の生成、横軸は一周内時間、縦軸は周回数、黄：閉じ込め用セル#1、2のセット電圧ON時間帯、青：閉じ込め用セル#1、2のリセット電圧ON時間帯



7/31 16:01:14 2012

図 14：加速電圧の生成、横軸は一周内時間、縦軸は周回数、黄：加速用セルのセット電圧ON時間帯、

青：加速用セルのリセット電圧ON時間帯

この図では磁場パラメータを 0.04T から 0.25T に設定されており、最終ターンまでセルが駆動しているのが確認できる。じっさいにこれら加速電圧と閉じ込め電圧によって加速される  $\text{He}^{1+}$  ビームの様子を図 15 に示す。

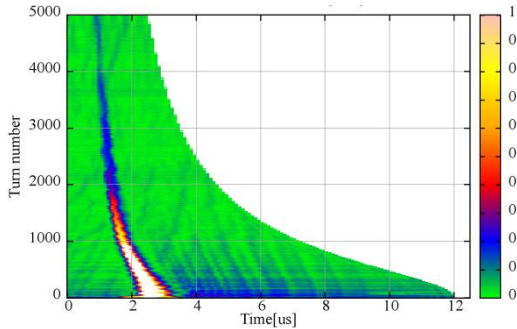


図 15：ビームの加速と閉じ込め、横軸は一周期内時間、縦軸は周回数、白：ビームの存在する時間

## (2) 考察（トリガー信号生成の拘束条件）

設定出来るトリガー時間幅には限界が存在する。前周回のトリガー信号が次の周回に影響しない事が必須条件である。现阶段での加速制御システムでは次の制約を満たす様にパラメータを設定している。

(1) 閉じ込め用のトリガーが周期 T 以内に収まる条件

$$4A + 2B + \frac{T}{6} < T$$

(2) 加速用のトリガーが周期 T に収まる条件

$$\frac{T}{8} + A + \frac{T}{3} + \frac{T}{3} + B < T$$

(3) 閉じ込められているビーム幅を十分に加速電圧幅で覆うための条件

$$\frac{T}{6} + 2A < \frac{T}{3}$$

これらの条件を同時に満たす T となるような磁場の範囲内で加速をする。前の節に示した例では  $A=B=150 \text{ nsec}$  を固定とした。この場合の最終段の周回時間 T は約  $1.8 \text{ } \mu\text{sec}$  であり、対応する磁束密度は  $2.5 \text{ kGauss}$  である。この限界の理由は比較的簡単に理解し得る。

- ・固定幅をとっている部分がビーム周期が短くなってくる後半部分で大きな影響を与える
- ・閉じ込めセルを二台使用していることから条件が厳しくなる

この限界を越えて加速する方法として以下が検討されている。

- ・固定幅となっている A と B を周期 T によってアクティブに変動させる。
- ・閉じ込めセルに前半は二台、ある一定の周期からは一台のみを駆動する

この他にも、誘導加速システム自身のハードが持つ制約条件の範囲内で、加速セルの間歇運転、セル間の自在なソーティング等の動作方法が FPGA の制御コード中に組み込まれつつある。

## 謝辞

一連の研究は科学研究費基盤研究 (A) (23240082) によってサポートされた。

## 参考文献

- [1] T. Iwashita, T. Adachi, K. Takayama, T. Arai, Y. Arakida, M. Hashimoto, E. Kadokura, M. Kawai, T. Kawakubo, T. Kubo, K. Koyama, H. Nakanishi, K. Okazaki, K. Okamura, H. Someya, A. Takagi, A. Tokuchi, K. W. Leo, and M. Wake, “KEK Digital Accelerator”, *Phys. Rev. ST-AB* **14**, 071301 (2011).
- [2] K. Takayama, Y. Arakida, T. Dixit, T. Iwashita, T. Kono, E. Nakamura, K. Otsuka, Y. Shimosaki, K. Torikai, M. Wake, “Experimental Demonstration of the Induction Synchrotron”, *Phys. Rev. Lett.* **98**, 054801-4 (2007).
- [3] “Induction Accelerators”, K. Takayama and R. Briggs (Eds.) (Springer, 2010).
- [4] K. Takayama, Y. Arakida, T. Iwashita, Y. Shimosaki, T. Dixit, and K. Torikai, “All-ion Accelerator: An Injector-free Synchrotron”, *J. of Appl. Phys.* **101**, 063304-8 (24007) Patent No. 3896420, PCT/JP2006/308502 (2006).
- [5] T. Iwashita *et al.*, “KEK デジタル加速器の運転開始”, 8 回加速器学会年会 TULH04(2011).
- [6] K. Takayama *et al.*, “KEK Digital Accelerator and Recent Beam Commissioning Result”. in *Proceedings of HIAT 2012*, TUC02 (2012).
- [7] T. Yoshimoto *et al.* “Heavy Ion Beam Acceleration in the KEK Digital Accelerator: Induction Acceleration from 200keV to a few tens MeV” in *Proceedings of Heavy Ion Inertial Fusion 2012* Abstract ID:105