

# A NEW FPGA BOARD WITH FAST ADCS FOR DIRECT RF SAMPLING

Junichi Mizuno <sup>#A)</sup>, Dai Arakawa <sup>B)</sup>, Hiroaki Katagiri <sup>B)</sup>, Kazutaka Hayashi <sup>A)</sup>, Toshihiro Matsumoto <sup>B)</sup>,  
Takako Miura <sup>B)</sup>, Shinichiro Michizono <sup>B)</sup>, Masatsugu Ryoushi <sup>A)</sup>

<sup>A)</sup> Mitsubishi Electric TOKKI System Corp., 8-1-1 Tsukaguchi-honmachi, Amagasaki, Hyogo, 661-0001

<sup>B)</sup> High Energy Accelerator Research Organization (KEK), 1-1 Oho, Tsukuba, Ibaraki, 305-0801

## Abstract

The cERL LLRF system requires a high-speed digital feedback control module and a high resolution IQ monitoring module. As the IQ monitoring module, a new FPGA board for direct RF sampling was designed. This board consists of an analog board with fast ADCs and the digital FPGA (embedded Linux) board, based on the micro-TCA dimensions. Users could use this FPGA board as an EPICS IOC. This paper describes the features of this board and test results of direct sampling.

## 直接 RF サンプリング可能な高速 ADC 搭載 FPGA ボード

### 1. はじめに

KEK では cERL 向けに、高安定な加速電圧の制御を目指した LLRF (Low Level RF) システムを開発している。そこには、RF 信号のデジタル FB (フィードバック) 制御を備えた装置の他に、加速空洞ピックアップ RF 信号を、高精度で IQ 検波する装置が求められている<sup>[1]</sup>。RF 信号を IF 信号に変換してデジタルサンプリングする方法では、高精度であるが、周波数変換器 (アナログ回路) による温度特性やドリフトの影響を受けてしまう。周波数変換器を使わず、RF (1.3 GHz) 信号を直接デジタルサンプリングし、IQ 値を精度良く得られる事が確認された<sup>[2]</sup>ため、今回新たに、高速 ADC を搭載した FPGA (Field Programmable Gate Array) ボードを製作した。cERL 向け LLRF のデジタル FB 制御ボード<sup>[3]</sup>と同様に、 $\mu$  TCA (micro Telecom Computing Architecture) 規格に準拠し、監視制御用に EPICS IOC (Experimental Physics and Industrial Control System, Input and Output Controller) を実装した。この高速 ADC 搭載の FPGA ボードの特徴と構成、及び、RF 信号の直接サンプリングの特性評価結果について報告する。

### 2. ボードの特徴と機能

#### 2.1 特徴

- ・直接 RF サンプリング (2ch-SMA 入力)
- ・ $\mu$  TCA プラットフォーム利用
- ・組込み Linux、EPICS による制御
- ・FPGA によるフレキシブルな高速ロジック
- ・親子構造の基板構成

#### 2.2 機能

子基板にある、広い入力帯域幅を持つ高速 ADC にて、RF 信号を直接サンプルした後、親基板の FPGA にて IQ 変換し、振幅位相値をモニター出力するボードである。cERL 向け LLRF の FB 制御

ボードと同じ親基板(デジタル回路基板)である。大容量 RAM を使い、多量のデータ(128MB×4)を記録し、読み出すことができる。FPGA 内蔵の PPC を利用し、EPICS IOC として動作するため、ユーザー PC (EPICS OPI) から監視・制御が可能である。

### 3. ボードの構成

本ボードの構成を表 1、外観写真を図 1、ブロック図を図 2 に示す。

表 1: ボードの構成

ADC	14bit/ 400MSPS(max), 2ch Bandwidth : 1.44GHz(@-3dB) ADS5474 (TI 社製)
FPGA	Virtex-5 FXT
CPU	PowerPC 440 (FPGA 内蔵 CPU)
OS	Wind River Linux 2.0
application	EPICS IOC
RAM	DDR2-SDRAM 128MB×5
ROM	NOR FLASH 64MB
Front panel Input	RF×2 (SMA), Clock×1 (SMA), Trigger×1, Analog×1, Digital×12
Output	Digital×12
LED	Hot swap status (blue), Error status (red), Running status (green)
Backplane interface	Fabric A: 1000BASE-BX, Fabric B-D: Reserved IPMB: Management
Size	PCIMG MTCA.0 準拠, Single Width / Full Height, 73.8*28.95*181.5mm

<sup>#</sup> ju-mizuno@west.melos.co.jp



図 1: ボードの外観写真

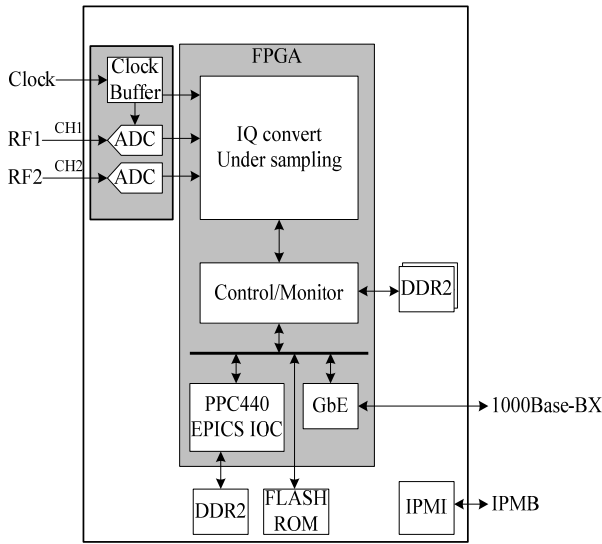


図 2: ボードのブロック図

#### 4. 直接 RF サンプルング

高速 ADC に 1.3GHz 信号を入力し、Clock 信号 (<320MHz) にて直接 RF サンプルング (アンダーサンプリング) を行う。サンプルングの Clock 周波数は、表 2 の組み合わせで確認した。例えば、No1 の事例 (270.8MHz でのサンプルング) は、RF 信号 24 周期分の時間内で 5 回サンプルングする事に相当する (図 3)。高速 ADC でサンプルングした値 X(K) に対し、IQ 値は以下の式より求める。本ボードでは、FPGA 内部で計算処理している。

$$I = \frac{2}{L} \sum_{K=1}^L X(K) \cdot \cos\left(\frac{2\pi N}{L} K\right)$$

$$Q = \frac{2}{L} \sum_{K=1}^L X(K) \cdot \sin\left(\frac{2\pi N}{L} K\right)$$

表 2: IQ 検波方法と Clock 周波数の関係

No.	Clock [MHz]	比率	L Data cycle	N RF 周期
1	270.8	1300* 5/24	5	24
2	273.7	1300* 4/19	4	19
3	278.6	1300* 3/14	3	14
4	269.0	1300* 6/29	6	29
5	313.8	1300* 7/29	7	29

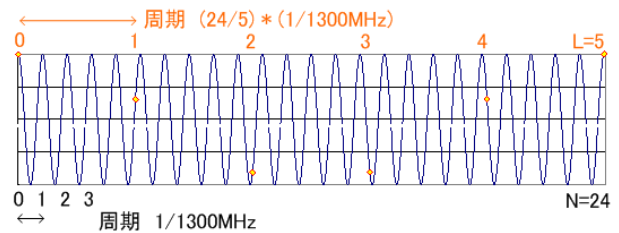


図 3: Clock 周波数 270.8MHz のサンプル例

#### 5. 試験評価結果

##### 5.1 精度評価

IQ 検波方法の違いによる精度比較試験を行った。直接 RF サンプルングから求めた IQ 値から、振幅位相を求めた。今回の測定値は、図 4 の構成による測定値となる。RF 信号のジッター精度が測定精度に影響するため、低ジッターの信号発生装置を用意した。初めに、直接 RF サンプルングの精度を単純化して評価するために、ADC 出力を FPGA 経由でそのまま取り出し、外部 PC で精度評価を行った。

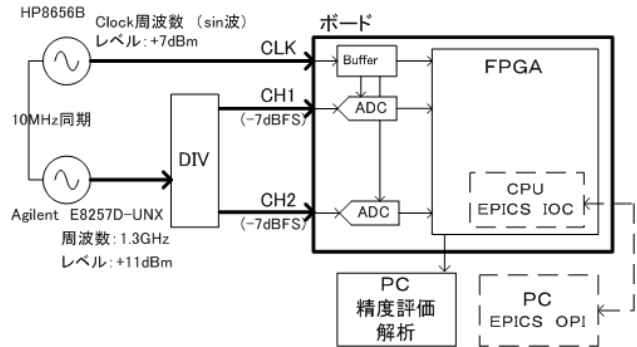


図 4: 測定系統図

平均回数と振幅精度を図 5、平均回数と位相精度を図 6に示す。100 回あるいは 200 回平均処理で、想定(参考文献<sup>[2]</sup>)する精度、振幅<0.05%rms、位相<0.05deg rms となった。

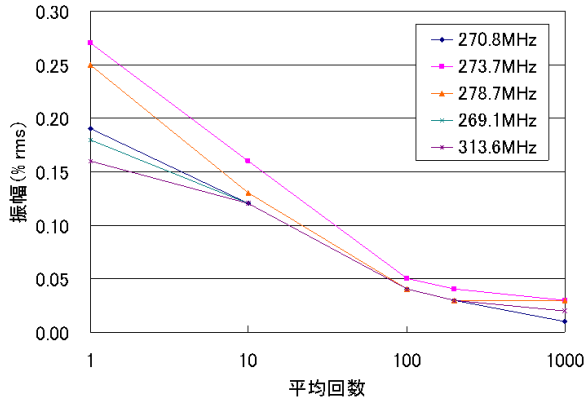


図 5 : 平均回数と振幅精度

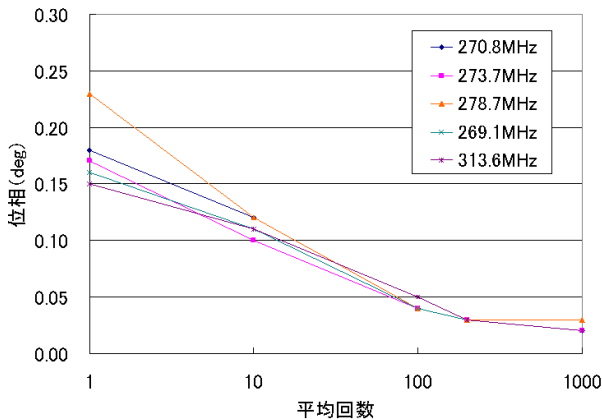


図 6 : 平均回数と位相精度

次に、IQ 検波処理を FPGA の内部ロジックにて行い、EPICS IOC 経由(図 4 破線の経路)でデータを取得した。結果、外部 PC で評価した結果と同様な結果が得られる事を確認した。

## 5.2 温度変動評価

$\mu$  TCA シェルフに実装した、本ボードを恒温槽(20°Cから 40°Cまで変化)に設置し、直接 RF サンプルングによるモニター値の温度変動を調べた。その結果、位相の温度変化が、予想より大きい事が分かった。(位相温度係数-0.5deg/°C) このため、本ボード上の部品に局所的な温度変化を与えて位相変化の様子を調査した。結果、位相の温度変化の原因は、RF 入力部(ADC 前)にあるトランス(基板実装型の部品)と判明した。

今後は、温度係数の小さな部品に変更する等の、改善をする予定である。

## 6. EPICS IOC

本ボードは、FPGA 内蔵 PPC を利用し、Linux を組み込み、EPICS IOC が動作する。これにより、通常の加速器システムの機器と同様に、ユーザー PC (EPICS OPI) は、ネットワーク接続された本ボードを監視・制御する事ができる。

本ボード利用画面の例を、図 7に示す。この画面の例では、サンプリングした波形や IQ 計算値(時間変化や直交座標のグラフ等)を表示し、RF 周波数と Clock 周波数の比率選択やフィルタの ON/OFF 制御等を行っている。

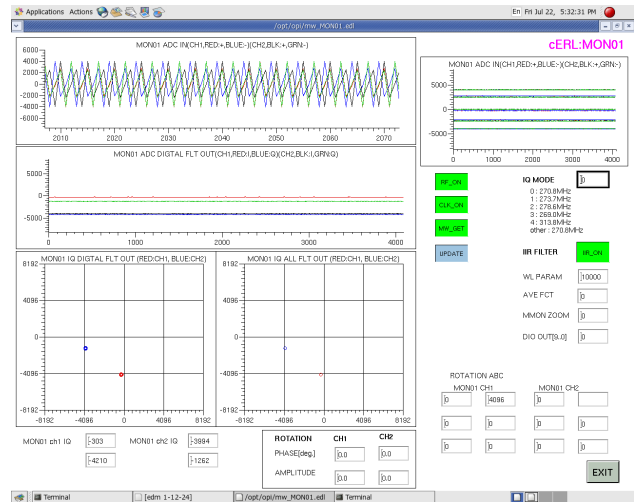


図 7 : EPICS OPI 画面

## 7. まとめ

1.3GHz の RF 信号を直接サンプリングして IQ 値を求め、振幅位相値をモニターする FPGA ボードを製作し、精度及び温度変動評価をした。

精度評価の結果、Clock 周波数 260~310MHz で、直接 RF をサンプリングし、100 回(あるいは 200 回)平均することにより目標精度(振幅<0.05%rms、位相<0.05deg rms)を達成できた。

温度評価の結果、-0.5 deg/°Cと位相が変動大きかったが、温度係数の大きな部品が原因と判明し、今後、改善をする予定である。

また、本ボードは、FPGA 内蔵 PPC を利用し、EPICS IOC が動作する。これにより、 $\mu$  TCA のシェルフに実装された本ボードは、ユーザー PC (EPICS OPI) から監視・制御する事ができる。

## 参考文献

- [1] T. Miura, et al., "Low Level RF System for cERL", IPAC'10, Kyoto, May., 2010.
- [2] Y. Okada, et al., "Direct Sampling of RF Signal for 1.3 GHz Cavity", Proceedings of PAC09, Vancouver, BC, Canada, 2009.
- [3] M. Ryoushi et al., "LLRF Board in Micro-TCA Platform", Proceedings of the 7th Annual Meeting of Particle Accelerator Society of Japan, Himeji, Aug., 2010.