

MICROWAVE MEASUREMENTS AND CONTROL USING THE FPGA BOARD

Hiroaki Katagiri¹⁾, Shigeki Fukuda, Toshihiro Matsumoto, Shinichiro Michizono, Mitsuhiro Yoshida

High Energy Accelerator Research Organization, Accelerator Laboratory

1-1 Oho, Tsukuba, Ibaraki, 305-0801

Abstract

The FPGA board is utilized for control and measurement of the rf source in KEK injector linac. The Xtreme DSP, which is an FPGA board equipped with two ADCs and two DACs, is used instead of a digital oscilloscope and a function generator. There is an advantage that is high accuracy and low-cost. Moreover, the communication has been improved by adding XPort that is a serial- Ethernet adaptor. Examples of the applications are reported here.

FPGAによる高周波計測及び制御

1. はじめに

高エネルギー加速器研究機構・電子陽電子入射器では、低電力高周波源の制御系及び計測系へのFPGAの導入を検討している^[1,2]。これまでにザイリンクス社製 FPGA ボード、Xtreme DSP による、クライストロンのRF波形欠け診断などで成果を上げている^[3]。

現在、高周波源の計測・制御のためにデジタルオシロスコープや任意波形発生器、パルス発生器が幅広く使用されている。これらの機器の代替としてFPGAを採用することで、より高速度・高精度で安価なシステムの構築が可能となる。Xtreme DSP を使用した計測・制御用回路の開発及び、動作試験について報告する。

2. Xtreme DSP 回路設計

2.1 FPGAボードの概要と開発方針

「Xtreme DSP^[4]」はFPGA Virtex-II シリーズ XC2V3000、AD6644 ADC (14bit 最大65MSPS) と AD9772A DAC (14bit 最大160MSPS) を各2チャンネル搭載している。(図 1 a)

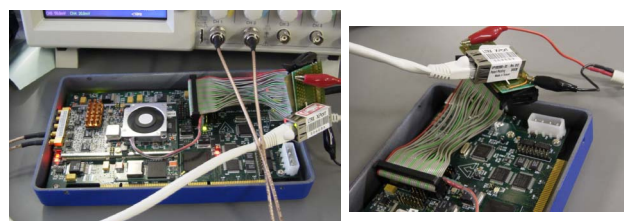
今回の用途ではデジタルオシロスコープ、任意波形発生器として使用するため、ADC が取り込んだ波形データ、DAC から出力する波形パターンをメモリに格納し、外部コントローラ (PC等) からの読み書きを可能とする。将来的に計測制御用に多チャンネル ADC/DAC を搭載した FPGA ボードの作成を予定している。ADC/DAC、メモリへのアクセス、外部との通信などの基本的な回路は、その際に流用することを前提に開発する。

FPGA 回路の開発には、論理合成ツール ISE Foundation 6.3i を使用し、VHDL で記述した。ビットファイルのダウンロードは開発キットに付属する FUSE ソフトウェアを用いている。

2.2 Core Generator によるブロック RAM 設計

ADC 捕捉波形データ、DAC 出力パターンデータを格納するためのメモリには、オンボードの ZBT SRAM を使用することも可能であった。しかし Xtreme DSP 固有の装備であり、ハードウェア構成の異なる FPGA ボードでは利用できない。汎用性を重視し、ここでは Core Generator によりメイン FPGA 内にデュアルポート RAM を設計することにした。Core Generator とはザイリンクス FPGA 用の回路やデバイスを生成するツールである。ユーザーはライブラリから目的にあったデバイスを選択、必要なパラメータを設定することで、デバイスを細部まで記述することなく利用することができる。

今回は、ADC/DAC 側及び外部の双方からアクセス可能なデュアルポート RAM (14ビット、2048ワード) をデザインした。



(a) (b)
図 1 : Xtreme DSP ボードと XPort

2.3 XPort

PC から FPGA 上のブロックRAMを読み書きする手段として、ラントロニクス社製シリアルイーサネット変換器、XPort^[5]を使用した。図 1 (b)のように変換基板、フラットケーブルを介し、ボード上の汎用デジタルI/Oピンに接続している。Xtreme DSP では、PCI バスまたはUSB経由でアクセスすることも可能であるが、これもボードに依存する機能であるため、使用を避けた。シリアルパラレル変換回路は、RC232C 通信用として公開されている

¹ E-mail : hiroaki.katagiri@kek.jp

サンプルを用いた。その仕様は、通信速度115.2kbps、ストップビット2ビット、パリティ無し、フロー制御無しであり、XPort 側も同様に設定した。

ブロック RAM のデータを送信する回路を動作検証した際に、FPGA から XPort に断続的に送信データの書き込むと、PC 側でデータが正常に受信されなかった。これはフロー制御を行わず、送信データ書き込み速度が XPort のシリアルからイーサネットへの送信間隔を上回ったため、バッファがオーバーフローしたものと考えられる。送信データ書き込みを一定時間毎に行うことで問題を回避した。

2.4 任意波形発生器用回路

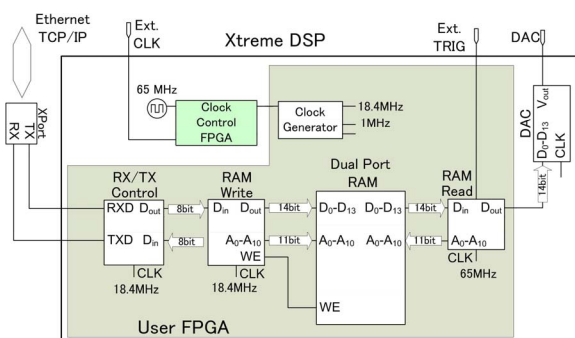


図 2：任意波形発生器用回路のブロック図

図 2 に構成を示す。ブロック RAM からのデータ読み出し側と、XPort を介しての書き込み側とに分けられる。読み出し側の回路では、外部トリガ信号を検出後、65MHz のシステムクロックに同期して先頭アドレスから順次データを読み、DAC に設定する。一方、データ書き込み側の回路は、RAM 書き込みデータを受信すると RAM 先頭から順次データを書き込んでいく。但し、RAM 1ワード分（14ビット）のデータは2バイトに分割して送られてくるため、上位／下位の計2バイトを受信する毎に14ビットデータに変換、RAM に格納する。

3. SKIPパルスI/Q変調試験

Xtreme DSP の任意波形発生器用回路を使用して SKIP 入力RFパルスのI/Q変調試験を行った。

SuperKEKB計画に向け開発中のCバンド加速ユニットには、RFパルス圧縮空洞(SKIP)^[6]が採用されている。その構造上、SバンドSLED と同様に位相反転のタイミングで瞬時ピーク出力が大きく、コンディショニングに影響を及ぼすことがある。対策の一つとして、SKIP励信系に I/Q 変調回路を組み込み、出力波形を任意に制御することを試みた。今回は実際に変調回路を作成し、意図した通りに出力波形の制御が可能か試験した。

3.1 I/Q変調回路

ダブルバランスドミキサとハイブリッドカップラとでI/Q 変調回路（図 3）を構成し、Xtreme DSP の任意波形発生器用回路からI/Fポートに変調パルスを供給する。変調パルスのデータは、PCから XPort

経由で FPGA 内のブロック RAM に書き込む。PC 上のデータ送受信プログラムは LabVIEW にて作成した。CSV 形式ファイルから変調パルスデータを読み、バイト列に変換し TCP/IP で送信する。

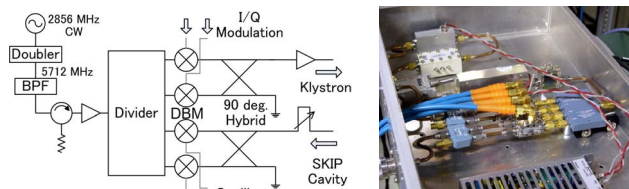


図 3：I/Q 変調回路ブロック図と概観

3.2 変調回路入出力特性の補正

高周波増幅器の特性上、入力変調パルスに対して RF 出力は線形には変化しない。図 4 (a)の上のパターン入力した場合、RF 出力（同、下）は+/-のピーク付近で飽和したような波形となった。

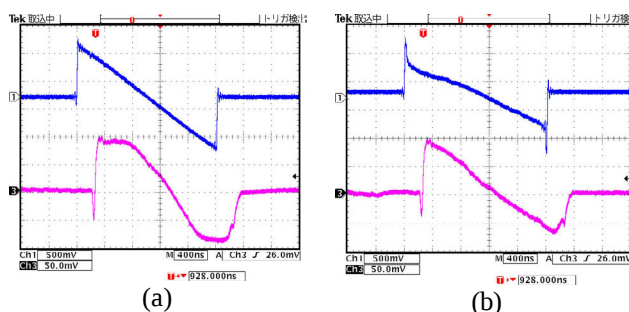


図 4：I/Q 変調回路入出力特性の補正

この特性を補正し、変調入力パルス形状に近いRF 出力を得るための変換テーブルを用意した。これにより、実際に供給される変調パルスは図 4 (b)上のような形状となり、図 4 (b)下のRF出力が得られる。この補正処理も LabVIEW で行っている。

3.3 変調試験結果

SLEDシミュレータ^[7]（図 5 a）で位相反転後のピークを平坦化する変調パターン（図 5 b）を作成し、実際に変調回路を通して SKIP 出力 RF が変化するか試験した。図 6 (a)は通常の位相反転、(b)は変調後の結果である。ほぼシミュレーションに近い形状の振幅波形が得られた。今回の試験はパルス電源の高圧設定値を下げて行った。今後、実際に VSWR の緩和に効果があるか検証する予定である。

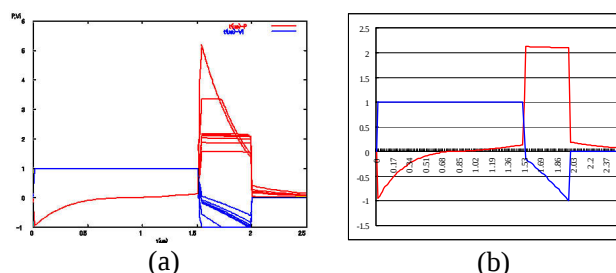


図 5：SLEDシミュレーションによるSKIP入出力振幅波形

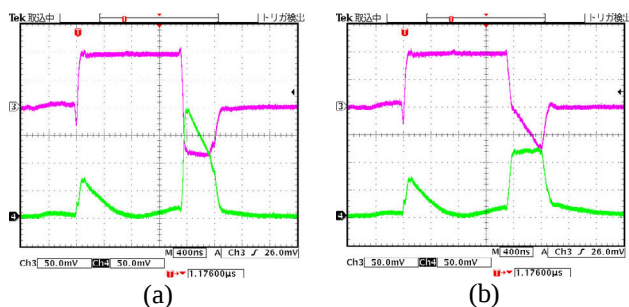


図 6 : I/Q 変調前後の SKIP 出力振幅波形

4. J-PARC用LLRF安定性測定

J-PARC線形加速器の低電力高周波源の安定性試験で Xtreme DSP のデジタルオシロスコープ用回路を利用した。J-PARC用LLRF ではデジタルフィードバック制御などにより、RF パルス内での振幅・位相安定度 $\pm 1\%$ を目標としている。 $\pm 1\%$ の安定性を検証するには 0.1% 程度の精度が求められ、8ビット分解能のオシロスコープでは精度が不足する。Xtreme DSP では、ADC の分解能が14ビット、アナログ入力レンジが $\pm 1V$ であり、実効的な分解能が10～11ビットとしても十分に上記の測定精度が確保されると見込んだ。

4.1 測定系の構成

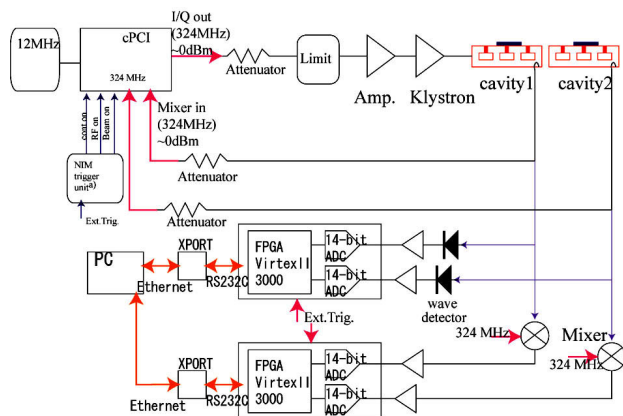


図 7 : J-PARC用LLRFと安定性測定系の構成

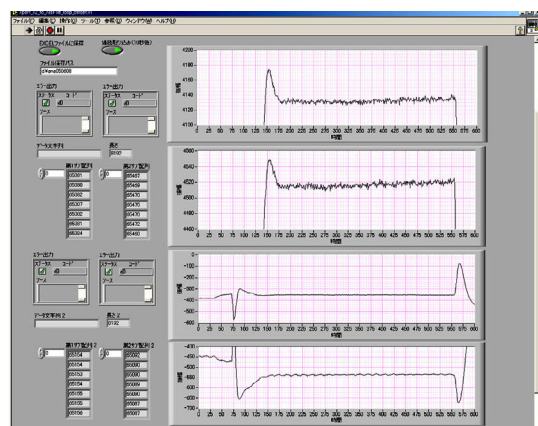


図 8 : データ収集用 LabVIEW プログラム

Xtreme DSP ボード2台を使用し、2台の空洞の振幅と位相を測定する(図7)。外部トリガ信号を検出後、1MHz クロックに同期して ADC から1チャンネルあたり2048点のデータを取り込み RAM に格納する。データ読み出し要求を受信した場合、次のパルス以降 RAM への書き込みを一時停止し、読み出し動作中にデータが書き換えられるのを避ける。データ読み出しプログラムは、LabVIEW にて作成した(図8)。10秒毎に2台の Xtreme DSP ボードから波形データを読み込み保存する。

4.2 測定結果

パルス内の安定度は $\pm 0.1\%$ と、仕様の1/10であることが確認された。また、18時間にわたる変化もフィードバックがかかっている場合、ドリフトを含めて振幅安定度 $\pm 0.3\%$ であることが確認された。Xtreme DSP ボード、データ収集プログラムとも特に問題なく動作した。

5. まとめ

Xtreme DSP ボードで任意波形発生器、デジタルオシロスコープとして動作する基本的な回路を作成し、SKIP パルス変調試験、J-PARC用LLRF 安定性測定において有効に機能することを確認した。

XPort を利用した通信については、シリアル通信回路にフロー制御を追加するか、XPort の設定を変更することで通信速度の向上が望める。現在 ADC/DAC は仕様上の最大値よりも低いサンプリングレートで動作させている。今回の測定で使用したデジタルオシロスコープ用回路では、スムージング及びアベレージング処理により計測精度の改善が見込まれる。

参考文献

- [1] S. Michizono, et al., "Digital LLRF feedback control system for the J-PARC linac", Presented in this proceeding.
- [2] T. Matsumoto, et al., "Energy Accelerator Research Organization, Accelerator Laboratory", Presented in this proceeding.
- [3] M. Yoshida, et al., "Study on Klystron RF Pulse Shortening and Development of Waveform Diagnostic FPGA Board", Presented in this proceeding.
- [4] 東京エレクトロンデバイス(株), "PLD SOLUTION PRODUCT GUIDE".
- [5] <http://www.co-nss.co.jp/products/network/lantronix/xport/xport-top.html>.
- [6] T. Kamitani, et al., "Present Status of the C-band accelerator R & D of the KEKB Injector Linac for SuperKEKB Project". Proceedings of the 1st Annual Meeting of Particle Accelerator Society of Japan, August 4 - 6, 2004, Funabashi Japan, p69-p71.
- [7] M. Yoshida, "The Research and Development of High Power C-band RF Pulse Compression System using Thermally Stable High-Q Cavity", Ph. D Thesis, Mar. 2004.