

次世代パワー半導体を用いた新キッカー電源用の低ジッタ回路の構築 CONSTRUCTION OF LOW-JITTER CIRCUIT FOR NEW KICKER POWER SUPPLY USING NEXT-GENERATION POWER SEMICONDUCTOR

小田航大^{*,A)}, 高柳智弘^{B)}, 小野礼人^{B)}, 堀野光喜^{C)}, 植野智晶^{C)}, 杉田萌^{B)}, 森下卓俊^{B)}, 飯沼裕美^{A)},
徳地明^{D)}, 亀崎広明^{D)}, 生駒直弥^{D)}, 中田恭輔^{D)}

Kodai Oda^{*,A)}, Tomohiro Takayanagi^{B)}, Ayato Ono^{B)}, Koki Horino^{C)}, Tomoaki Ueno^{C)}, Moe Sugita^{B)},
Takatoshi Morishita^{B)}, Hiromi Iinuma^{A)}, Akira Tokuchi^{D)}, Hiroaki Kamezaki^{D)}, Naoya Ikoma^{D)}, Kyosuke Nakata^{D)}

^{A)} Ibaraki University

^{B)} Japan Proton Accelerator Research Complex (J-PARC) / Japan Atomic Energy Agency (JAEA)

^{C)} NAT Corporation

^{D)} Pulsed Power Japan laboratory (PPJ)

Abstract

Kicker system is being used to kick the accelerated 3 GeV beam into the transport lines in 3-GeV Rapid Cycling Synchrotron (RCS) of Japan Proton Accelerator Research Complex (J-PARC). The current kicker power supply applies thyatrons to discharge switches. We are developing a new kicker power supply using next-generation power semiconductors. The timing of the semiconductor switch operation is determined by the input of an external trigger signal. Large timing jitter causes unstable output pulses and beam loss due to beam orbit deviate from reference orbit. Therefore, a low jitter circuit that achieves high repeatability of 2 ns or less will be developed for the new kicker power supply. A prototype trigger generator has been fabricated, and jitter has been evaluated. The case has been metalized to strengthen the shield box property, and the photocoupler with high jitter has been removed. In addition, the FPGA clock processing that generates timing pulse signals is modified to reduce jitter by half. The results of the evaluation test and the circuit configuration plan for reducing jitter will be reported.

1. はじめに

キッカーシステム [1] は、大強度陽子加速器施設 (J-PARC) [2] の 3 GeV シンクロトロン (RCS) において、3 GeV に加速された大強度ビームを取り出し、物質・生命科学実験施設 (MLF) やメインリングシンクロトロン (MR) に向かうビームラインの軌道へ導くために使用されている。現キッカーシステムでは、大電力パルス出力のスイッチング機器に放電管のサイラトロンを使用している。キッカー用運転トリガのタイミングに対し、サイラトロンの動作タイミングに指定時間からのズレ (ジッタ) が生じると、取り出したビームの軌道が変動し、ビームロスを引き起こす。そのため、パルス出力のタイミングのジッタを常時監視し、5 ns のジッタが生じると自動で補正するシステムを運用して、ロスを抑制している [3]。現在の加速器運転において、補正対象としない 2 ns のジッタで、ロスには影響しない範囲で出射ビーム軌道に有意なビーム変位が観測されている。そのため、RCS の更なる大強度化の実現には、ビームロスを抑え、安定した取り出しを可能とする 2 ns 以下のジッタ対策が必要となる。

現在、放電管のサイラトロンを代替する次世代パワー半導体を用いた新キッカー電源の開発を進めている [4-8]。本研究は、その新キッカー電源用として、ジッタが 2 ns 以下のパルス出力を実現する低ジッタ回路の構築を目的とする。制御回路に FPGA を用いたトリガ発生器を試作し、筐体のノイズ対策、制御回路の構成素子の見直

しとクロックの改良により、9 ns のジッタを 3 ns まで低減することを確認した。改良内容と改良前後のジッタ評価試験の結果、そして、更なる低ジッタ化へ向けた回路の設計方針について報告する。

2. RCS キッカーシステム

RCS では、加速された大強度ビームの取り出しに、8 台のキッカーシステムを使用している。現キッカーシステムの電源は、大電力切り替え装置のサイラトロンとパルス成形回路の Pulse Forming Network (PFN) を用いて、立ち上がり時間 60 ns、フラットトップ幅 950 ns の矩形波を出力する。しかし、安定したビームの取り出しに必要なフラットトップ平坦度の要求仕様 $\pm 1\%$ 以下に対し、波形に生じるリングングにより、平坦度が $\pm 3\%$ と大きくなってしまふ。そのため、8 台のキッカー電源の出力タイミングを 50~200 ns の範囲で相互にずらす調整を行い、リングングの波の影響を相殺して要求仕様のフラットトップ平坦度 $\pm 1\%$ 、フラットトップ長 850 ns のキッカーシステムとして運転している。この調整により、2 バンチ運転で 1 MW の大強度ビームにおけるバンチ長の要求値 841 ns を満足する [3,9]。

RCS の現キッカー電源で使用している放電管のサイラトロンは、性能を保つために管理者が日々ガス圧を調整する維持管理が欠かせない [10,11]。また、サイラトロンは、寿命で 1 年から 2 年で必ず交換するため、必要数の予備を保有する費用の確保や、特注品による将来的な製造中止のリスク対策などの課題を有している。そのため、安定した動作と供給の信頼に優れたパワー半導体を用いた新キッカー電源の開発を進めている。新キッカー

* 21nm011t@vc.ibaraki.ac.jp

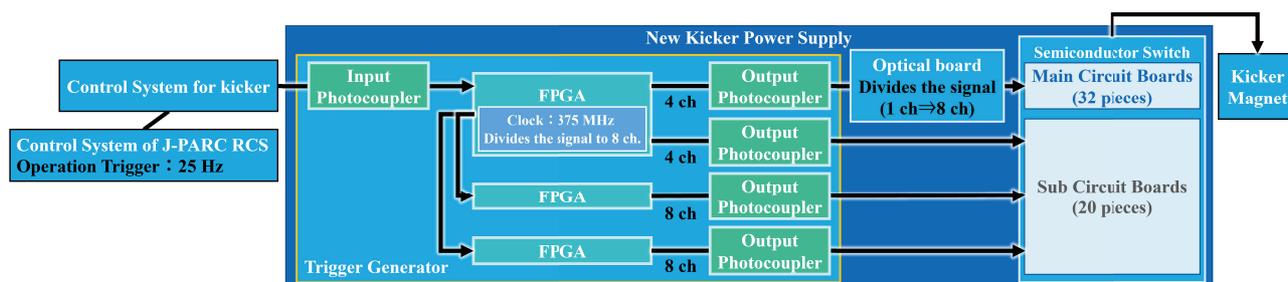


Figure 1: Flow of the timing pulse signal and main internal configuration of the trigger generator in RCS kicker system.

電源を構成する半導体スイッチユニットは、矩形型の出力波形を形成する主回路基板が 32 枚、フラット部の垂れ下がり (Droop) を平坦化する補正回路基板が 20 枚の計 52 枚を直列に接続した階層構造をしている。電源内に設けたトリガ発生器で半導体スイッチ用の充放電タイミングパルス信号を生成し、各基板から出力されたパルス波形はユニット内で重畳され、電源から矩形波として出力される。この時、補正回路基板用のトリガタイミングを任意に調整し、発生したリングングと Droop を補正することで、フラットトップ平坦度の $\pm 0.2\%$ 以下を実現する。

新キッカー電源は、取り出すビームのバンチ長に合わせて、フラットトップ幅 $1\sim 1.2\ \mu\text{s}$ の矩形パルスを出力する。半導体スイッチの性能限界から、矩形パルスの立ち上がり時間は $200\ \text{ns}$ であり、サイラトロン $60\ \text{ns}$ より遅くなる。3 GeV に加速されたビームは約 $300\ \text{ns}$ で周回するため、立ち上がり時間が $200\ \text{ns}$ の新キッカー電源に対し、現キッカー電源で使用しているタイミング調整法によるフラット部のリングング相殺はできない。そのため、新キッカー電源では、パルス波形のフラットトップの Droop を平坦化する補正回路基板のタイミング調整に、低ジッタ且つ高い再現性が要求される。さらに、ビームロス低減のため、運転トリガのジッタで生じるビーム軌道の変動抑制も必要である。以上のことから、キッカー用運転トリガに対し、ジッタが小さく、半導体スイッチ出力動作タイミングパルスに高い再現性を実現するトリガ発生回路が必要である。

3. トリガ発生器

RCS キッカーシステムにおけるタイミングパルス信号の流れと、新キッカー電源のトリガ発生器の内部構成を Fig. 1 に示す。J-PARC では、新キッカー電源の運転タイミング用として $25\ \text{Hz}$ の運転トリガを用意している。この運転トリガは、RCS 施設の制御盤から、キッカー電源設置エリアの制御システムを経由して、電源内に備えたトリガ発生器に入力される。運転トリガを受けたトリガ発生器は、各半導体スイッチ基板の出力動作タイミングパルス信号を生成し、半導体スイッチ基板へ送る。そして、タイミングパルス信号が送られたタイミングで、半導体スイッチ基板が動作し、電磁石に励磁電流を出力する。

新キッカー電源のトリガ発生器内部では、伝送された $25\ \text{Hz}$ の運転トリガを $375\ \text{MHz}$ クロックの FPGA が入力フォトカプラ経由で受け取る。FPGA は、 $375\ \text{MHz}$ を

基準に、半導体スイッチ基板の出力動作タイミングパルス信号を任意に生成する。FPGA は、1 枚当たり 8 ch のタイミングパルス信号を生成することができ、本システムでは、3 枚の FPGA を使用する。主回路基板は、1 枚の FPGA の 8 ch のうち 4 ch のタイミングパルス信号を使用する。光分配基板で 1 ch のタイミングパルス信号を 8 ch に分配し、合計 32 枚分を生成する。補正回路基板は、残りの 4 ch と、2 枚の FPGA の 16 ch を使用し、全 20 ch の独立したタイミングパルス信号を生成して分配する。FPGA からのタイミングパルス信号は、出力フォトカプラを経由して各基板に伝送される。フォトカプラは、電気信号を絶縁し、ノイズによる誤動作を防止する役割を担っている。

4. トリガ発生器試作機のジッタ測定

トリガ発生器試作機のジッタ測定を行い、性能を評価した。各素子およびトリガ発生器全体の入出力間におけるジッタの測定結果を Table 1 に、その内、総ジッタ測定時の波形を Fig. 2 に示す。

Table 1: Results of Jitter Measurement Before Improvement of Trigger Generator

Measurement Section of Jitter	Measurements
Input Photocoupler	4.8 ns
FPGA	5.5 ns
Output Photocoupler	0.6 ns
Trigger Generator (Total Jitter)	9.0 ns

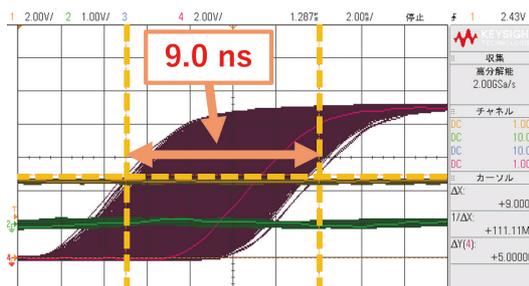


Figure 2: Result of total jitter measurement before improvement of trigger generator. (2 ns / 1 div)

キッカー用運転トリガと半導体スイッチ動作タイミングパルス信号の間に生じるジッタは 9.0 ns あることを確認した。入出力部のフォトカプラには、合わせて 5.4 ns のジッタが発生している。また、FPGA のジッタも 5.5 ns あることを確認した。

5. ジッタ低減に向けた改良

5.1 改良方針

総ジッタを小さくする改良として、トリガ発生器の構成素子の削減と、使用素子のジッタの最小化を行う。試作機のジッタの測定結果より、今回の改良では、FPGA クロック出力処理の見直しと、フォトカプラを取り除く処置を実施する。

5.2 FPGA クロックの高速化

FPGA は、複数の半導体スイッチ基板に出力動作タイミングパルス信号を生成し分配する素子である。内部クロックは 375 MHz で、1 クロックあたり 2.67 ns の処理能力を持っている。新キッカー電源の設計当初は、最長のパルス幅を 1.5 μs としており、カウンターメモリの制限から、初期設定では 2 クロック毎に出力処理を行っていた。そのため、2.67 ns \times 2 クロック = 5.34 ns のジッタが生じる構成であり、測定結果の 5.5 ns と一致する。

そこで、パルス幅 1.2 μs 以下と仕様変更することで、カウンターメモリの余裕を確保した。これにより、FPGA の出力処理を 2 クロック毎から 1 クロック毎に変更し、FPGA のジッタを 2.67 ns \times 1 クロック = 2.67 ns 程度に半減させる。

5.3 ノイズ対策によるフォトカプラの削除

入力フォトカプラのジッタは 4.8 ns で測定された総ジッタの半分を占めている。また、出力フォトカプラのジッタは 0.6 ns と他の素子と比べると小さいが、2 ns 以下の低ジッタ目標値に対しては大きい。よって更なるジッタ低減のために、フォトカプラを取り外す検討を行った。

フォトカプラは、トリガ発生器に重畳する電気信号ノイズによる誤動作を防止するために必要な素子であるため、ノイズによる影響を確認する必要がある。トリガ発生器試作機に対し、インパルスノイズ試験 (NoiseKen 製インパルスノイズ試験器 INS-4020 を使用) を実施した。ノイズ試験器以外のノイズ低減のため、信号線にはフェライトコアの取り付け、アルミホイルで包む等の対策を施した上で試験を行った。トリガ発生器の一時側 AC ラインに 11 ms 毎に 0.1 μs 、+2 kV のノイズを印加したところ、パルスの出力タイミングの遅延や、運転トリガに関係無いタイミングでのパルス出力等、様々な誤動作が発生した。このうち、パルス幅異常が発生した時の測定結果を Fig. 3 に示す。正常時パルス幅 1.2 μs の矩形波が、15 μs にまで広がってしまった。このようなパルスが出力されると、半導体スイッチのゲート異常を引き起こし、パワー半導体が損傷してしまう。したがって、フォトカプラを取り外すために、トリガ発生器本体の耐ノイズ性を向上させた制御盤を製作することとした。

ノイズ対策実施前のトリガ発生器試作機の写真を Fig. 4 に示す。本設計では、制御盤内に定めた GND

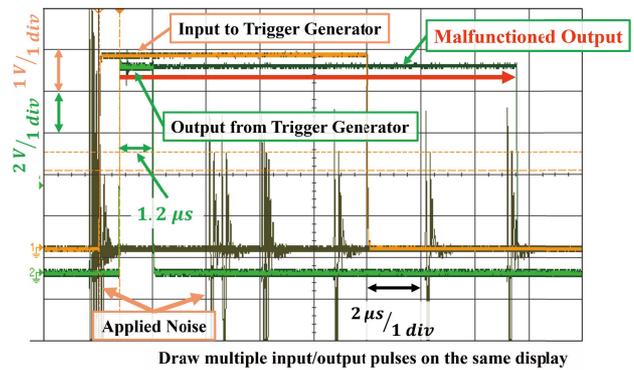


Figure 3: An example of malfunction of the trigger generator when noise is applied. The yellow signal is the input and the green signal is the output of the trigger generator. The normal output pulse width is 1.2 μs , but an abnormally long pulse width was observed due to noise application.

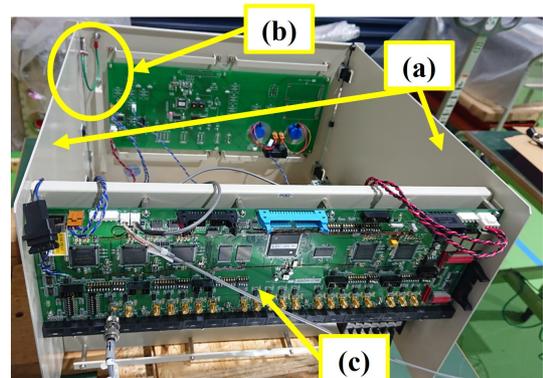


Figure 4: Picture of the case for the trigger generator before improvement. (a) : Coated panels, (b) : Concentration point for ground wiring, (c) : Output Conditioning Board.

ポイントに配線を集約している。盤内配線の引き回しにより、配線がアンテナとなり外部ノイズの影響を受けやすくなっていた。このような配線の長尺化は、浮遊容量や浮遊インダクタンス等への影響を大きくする要因にもなってしまう。また、FPGA を載せた出力調整基板を筐体パネルの外側に設置していたため、外部ノイズの影響を受けやすい構造となっていた。さらに、筐体のパネルは、錆防止のために塗装をしており、その結果、パネル同士の接触面が塗料で絶縁されるため、筐体全体としてのシールド効果が弱かった。

そこで、筐体のパネルを錆防止の塗装を必要としないステンレス材に変更し、筐体の全パネルが電氣的に接続された強固な電磁シールドボックス構造とした。そして、出力調整基板をシールドボックス内部に取り付けることで、外部ノイズの影響を遮断した。また、筐体パネル全面が同電位となり、GND ポイントを定める必要がなくなったことから、GND 配線の引き回しを無くすことが出来た。さらには、出力調整基板の GND 点と筐体面を短い金属スペーサーで接続することで、抵抗、浮遊インダクタンス、浮遊容量を低減し、低インピーダンス化によるアースラインの強化を実現した。対策実施後の

写真を Fig. 5 に示す。

改良したトリガ発生器の耐ノイズ性を確認するため、インパルスノイズ試験を改良前と同様に実施した。様々なタイミングでノイズを印加し、3 分間出力波形の様子を確認した結果、誤動作は発生しなかった。試験時の測定結果を Fig. 6 に示す。なお、本試験では、改良前にノイズ対策として信号線に巻いていたフェライトコアを外しており、ノイズ試験器以外のノイズの影響も受けていないことを確認することができた。試験結果より、筐体パネルの全面金属化による耐ノイズ性の向上を確認することができた。この成果により、大きなジッタの要因となっていたフォトカプラを外すことを可能にした。

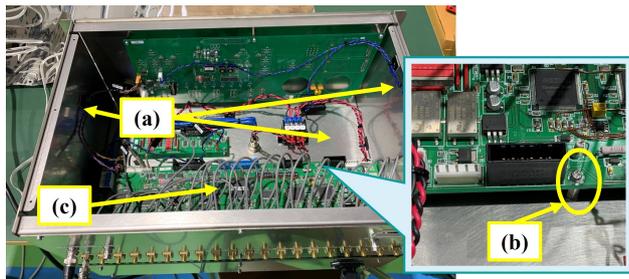


Figure 5: Picture of the case for the trigger generator after improvement. (a) : Metal panels, (b) : Metal spacer, (c) : Output Conditioning Board.

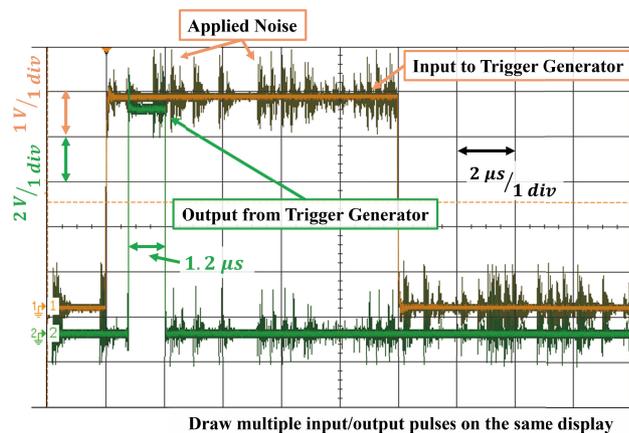


Figure 6: Response results of input and output when noise is applied to the improved trigger generator. The yellow signal is the input and the green signal is the output of the trigger generator. Malfunctioned-output rate has been less than 0.01%.

6. 改良型トリガ発生器のジッタ測定

トリガ発生器改良後の構成を Fig. 7 に、各素子およびトリガ発生器全体の入出力間におけるジッタの測定結果を Table 2 に、その内、総ジッタ測定時の波形を Fig. 8 に示す。



Figure 7: Configuration of improved trigger generator.

Table 2: Results of Jitter Measurement After Improvement of Trigger Generator

Measurement Section of Jitter	Measurements
FPGA	2.8 ns
Trigger Generator (Total Jitter)	3.0 ns

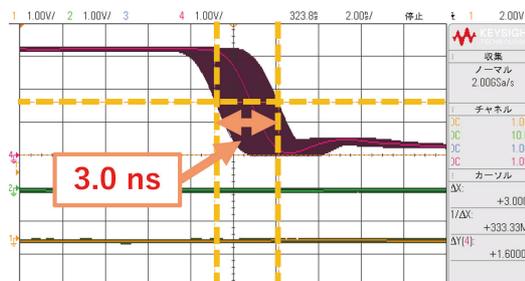


Figure 8: Result of total jitter measurement after improvement of trigger generator. (2 ns / 1 div)

FPGA 間のジッタはおよそ半分の 2.8 ns まで低減しており、計算値の 2.67 ns にほぼ一致する結果を得た。これにより FPGA の内部クロック動作を半分にした効果を確認した。また、フォトカプラを削除したため、総ジッタを 3.0 ns に低減することができた。

7. 更なる低ジッタ化への回路設計

トリガ発生器の改良により、9 ns の総ジッタを 3 ns にすることができた。しかし、目標とする 2 ns 以下には、更なる改良が必要である。現在検討中の低ジッタ回路の設計回路とジッタの最終目標値を Fig. 9 に示す。

FPGA で生じるジッタは、デバイスのクロック周波数に依存するため、今回の試作機の 375 MHz より高速な 1 GHz の FPGA の使用を検討している。これにより、FPGA のジッタを 1 ns 程度に抑え、更なる低ジッタ化を実現する。本機能で生成したタイミングパルス信号は、フラットトップ平坦度を調整する補正回路基板に使用し、より高い精度と時間分解能での調整を可能とする。今後、より高速な FPGA の実装に向け、開発基板による性能評価を実施する。

また、抵抗とコンデンサを組み合わせ、矩形波のトリガパルスを出力するアナログ回路のタイマー IC を用いて、クロックジッタの削減を検討している。本アナログ回路の採用により、ジッタを 0.2 ns 程度まで低減できると期待している。ただし、タイマー IC のトリガパルスのタイミングは、内部の抵抗やコンデンサのパラメータで決まるため、使用環境の温度が変化すると、素子特性に影響を及ぼし、ジッタの原因になってしまう。そこで、ペルチェ素子を用いた $\pm 1^\circ\text{C}$ 以下の恒温制御を実施し、

回路インピーダンスを安定させる。恒温制御はまた、インピーダンスの変動が主要因で発生するドリフト現象も同時に解決できると考えている。今後、低ジッタと低ドリフトを実現する温度制御について調査する。タイマー IC によるトリガパルスは、同一のタイミングパルス信号で動作する主回路基板への適用を検討している。

さらに、半導体スイッチ単体のトリガに対する応答特性の評価を行い、トリガパルスのジッタと出力波形形状の歪みの関係性についても調査を行う。有意な差が確認できた場合には、半導体スイッチの動作タイミングの調整も検討する。

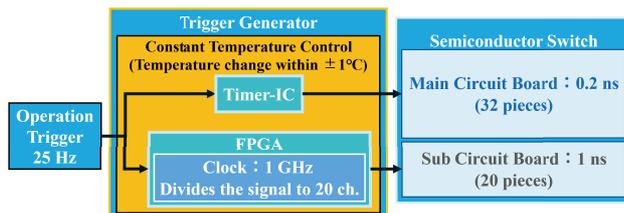


Figure 9: Design image and target values for the future low-jitter circuit.

8. まとめ

本研究の目的は、半導体スイッチを使用した RCS 用新キッカー電源の開発において、ビームロスや出力波形の乱れを起ささないための低ジッタ動作の実現である。より安定して大強度ビームを取り出すため、2 ns 以下の低ジッタ動作を新キッカー電源での目標とし、半導体スイッチ動作トリガ発生器の改良によりこれを実現する。

トリガ発生器の試作機を製作し、ジッタを確認したところ総ジッタが 9.0 ns あった。そこで、FPGA の出力処理の高速化と、トリガ発生器筐体のシールドボックス化による耐ノイズ性の強化により誤動作を抑制し、ジッタが大きいフォトカプラを削除した。その結果、総ジッタを 3.0 ns まで低減し、安定したパルス出力動作を実現することができた。ジッタの低減には、FPGA クロックの高速化が有意であることと、シールドボックス化によるノイズ対策が優れた効果を有していることを確認した。

今後は、新キッカー電源に必要な 2 ns 以下のジッタを実現する低ジッタ化回路を 2022 年度内に完成することを目標に、以下の開発と評価を進めていく。

- より高速な FPGA とアナログ回路を用いた低ジッタ化回路基板の開発。
- 制御部に対して恒温制御を実施し、ジッタとドリフトの温度依存性を確認。
- 半導体スイッチ単体の制御応答の確認。

謝辞

開発と試験に協力頂いた株式会社パルスパワー技術研究所の皆様に深く感謝する。

本研究は、日本原子力研究開発機構の特別研究生制度の研究テーマとして設けられたものである。受入部署である J-PARC センター加速器ディビジョンの皆様に深く感謝する。

参考文献

- [1] J. Kamiya *et al.*, “Kicker Magnet System of the RCS in J-PARC”, IEEE Trans. Appl. Supercond., vol. 16, no. 2, pp. 168-171, June 2006. doi:10.1109/TASC.2006.873265
- [2] High-intensity Proton Accelerator Project Team, “Accelerator Technical Design Report for High-Intensity Proton Accelerator Facility Project, J-PARC”, KEK Report 2002-13; JAERI-Tech2003-044, March2003.
- [3] H. Harada *et al.*, “Beam-based compensation of extracted-beam displacement caused by field ringing of pulsed kicker magnets in the 3 GeV rapid cycling synchrotron of the Japan Proton Accelerator Research Complex”, Prog. Theor. Exp. Phys., vol. 2017, no. 9, Sep 2017, Art. no. 093G01. doi:10.1093/ptep/ptx125
- [4] T. Takayanagi *et al.*, “J-PARC キッカー用 LTD 半導体スイッチ電源”, Proceedings of the 18th Annual Meeting of Particle Accelerator Society of Japan, QST-Takasaki Online, Japan., Aug. 9-12, 2021, MOOB06.
- [5] T. Takayanagi *et al.*, “RCS キッカー用半導体スイッチ電源”, Proceedings of the 17th Annual Meeting of Particle Accelerator Society of Japan, Online., Sep. 2-4, 2020, WE0004.
- [6] T. Takayanagi *et al.*, “パワー半導体を用いたキッカー用パルス電源とイグナイトロン代替スイッチの開発”, Proceedings of the 16th Annual Meeting of Particle Accelerator Society of Japan, Kyoto, Japan., Jul. 31-Aug. 3, 2019, THOH02.
- [7] T. Takayanagi *et al.*, “SiC-MOSFET を用いた半導体スイッチ電源の開発”, Proceedings of the 15th Annual Meeting of Particle Accelerator Society of Japan, Nagaoka, Japan., Aug. 7-10, 2018, FROM07.
- [8] T. Takayanagi *et al.*, “SiC-MOSFET の LTD 回路を用いた RCS キッカー用新電源の開発”, Proceedings of the 14th Annual Meeting of Particle Accelerator Society of Japan, Sapporo, Japan., Aug. 1-3, 2017, TUOM01.
- [9] H. Hotchi, “J-PARC 3 GeV RCS のビームコミッショニング”, J. Particle Accelerator Society of Japan, 2008, Vol. 5, No. 1, pp. 50-63.
- [10] T. Togashi *et al.*, “RCS キッカー電磁石電源システムのサイラトロンオペレーションの現状”, Proceedings of the 7th Annual Meeting of Particle Accelerator Society of Japan, Himeji, Japan., Aug. 4-6, 2010, WEPS084.
- [11] S. Nakazawa *et al.*, “SACLA でのサイラトロントラブルと対策”, Proceedings of the 14th Annual Meeting of Particle Accelerator Society of Japan, Sapporo, Japan., Aug. 1-3, 2017, WEP062.