

DEVELOPMENT OF A COMPACT SWITCHING POWER SUPPLY FOR THE KEK DIGITAL ACCELERATOR UTILIZING A SiC-JFET

Katsuya Okamura ^{#,A)}, Toshiya Mizushima ^{B)}, Koichi Takaki ^{C)}, Taiki Iwashita ^{D)}, Masayoshi Wake ^{A)}, Ken Takayama ^{A)}
^{A)} KEK

1-1 Oho, Tsukuba, Ibaraki, 305-0801

^{B)} Hitachi, Ltd

3-1-1 Saiwai-Cho, Hitachi, Ibaraki, 317-8511

^{C)} Iwate University

3-18-8 Ueda, Morioka, Iwate, 020-8550

^{B)} Nippon Advanced Technology

3-1-1 Tokai-Mura, Naka-Gun, Ibaraki, 319-1112

Abstract

Utilizing a high power discrete SiC-JFET developed by KEK, a switching power supply (SPS) that had a circuit topology of H-bridge was designed and constructed to drive the induction acceleration system for the KEK digital accelerator. The SPS was operated with a 38 Ω dummy resistance load and bipolar outputs of 800V and 21A were successfully demonstrated at 1 MHz. Also, combination test with an actual induction cell was demonstrated.

SiC-JFET を用いた KEK デジタル加速器(DA)用小型パルス電源

1. はじめに

KEK デジタル加速器(DA)は線形加速器やブースターなどの入射装置を必要としない誘導加速シンクロトロン (IS) である^[1]。IS は KEK において 2000 年にその概念が提案され^[2]、2006 年に原理実証された^[3]誘導加速を前提にしたシンクロトロンであり、誘導加速セルと呼ばれる 1:1 トランスを介して矩形パルス電圧によって荷電粒子の加速と閉じ込めを行う (図 1)。現在 DA は精力的にビームコミッショニングが行われているところであるが、将来はイオン種に関わらずいかなる荷電粒子でも加速可能というその特徴を生かし、総合研究大学院大学の学融合

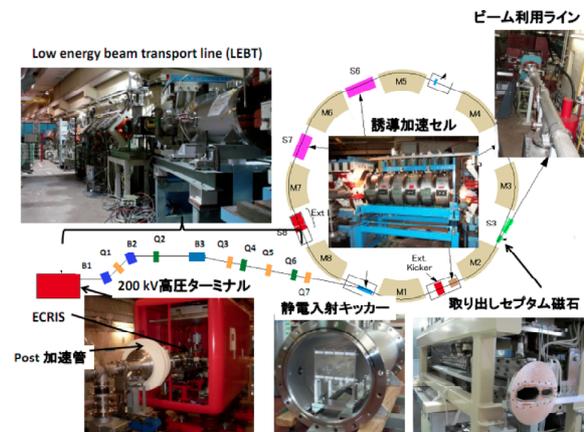


図 2 : KEK デジタル加速器

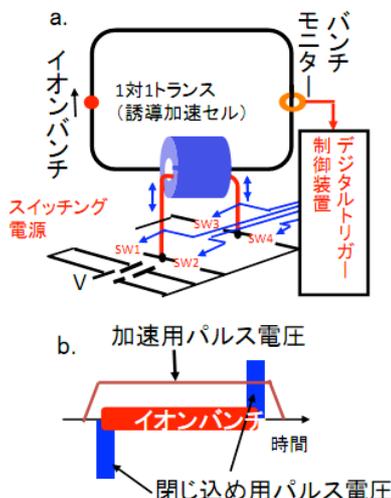


図 1 : 誘導加速シンクロトロンの原理



Switching arm S1
(7 MOSFETs in series)

図 3 : 従来型 SPS

研究プロジェクト「模擬宇宙線による実験室宇宙科学の展開」に供される初の実用型誘導加速シンクロトロンとなる計画である^[4]。図2に KEK デジタル加速器の概要を示す。

上に述べたように DA において誘導加速セルとそれを駆動するパルス電源は本質的に重要なコンポーネントであり、これらの信頼性を高めることが IS を高エネルギーイオン源として活用していくための重要な課題である。

ところでこれまでの IS においては原理実証器、そして現在開発しているデジタル加速器においてもパルス電源(Switching Power Supply: SPS)には Si-MOSFET (IXYS, DE454-102N20A, 1000V-20A)を用いた単相フルブリッジ電源が用いられている^[5]。図3にこのスイッチング電源の外観を示す。このスイッチング電源では MOSFET1 素子あたりの耐電圧及び放熱容量の観点から 7 個の素子を直列接続することによりパルス電源の 1 アームを形成する構成となっている、即ちパルス電源 1 台当たり 28 個の MOSFET を用いている。各 MOSFET にはそれぞれ独立した駆動回路とその電源回路が必要であるため全体に装置が大型化し、さらに駆動パルスを送るために 28 本もの光ケーブルを敷設する必要があった。また直列接続された各 FET の分担電圧を平準化するために並列に静電容量を付加する必要がありこの調整にも多くの時間を要する等の課題があった。

そこで我々は Si-MOSFET に置き換わる素子として SiC-JFET の採用を検討し、デバイスメーカーがサンプル出荷した素子を用いてその性能評価を行った結果、SPS 用スイッチング素子として有望であることを見いだした^[6]。しかしながら評価用素子は連続通電時に発生する損失に耐える放熱性能が不十分であったため、我々は新規にパッケージも含めた開発に着手し、その結果良好な性能評価結果を得た^[7]。本論文ではこの新 SiC-JFET を用いた SPS の性能評価結果、さらには実誘導加速セルとの組み合わせ試験結果について述べる。

2. スイッチング電源 (SPS) の設計と試作

2.1 SiC-JFET

現在高速スイッチング素子として広く普及している Si-MOSFET はその性能的限界に近づいていることが指摘されており、その限界を打ち破る素子として SiC 素子に対する期待が高まっている^[8]。SiC は Si と比較すると絶縁破壊電界が 10 倍、電子のドリフト速度が 2 倍、熱伝導率が 3 倍と高いため^[9]、パワーデバイスの材料としてより理想に近い物であるということが出来る。図3に開発した SiC-JFET パッケージの外観を示す^[10]。パッケージ外形は 65mmx45mm である。図3において左側は完成したパッケージ、右側は内部構造が分かるように最終のエポキシモールド工程前のものである。デバイス

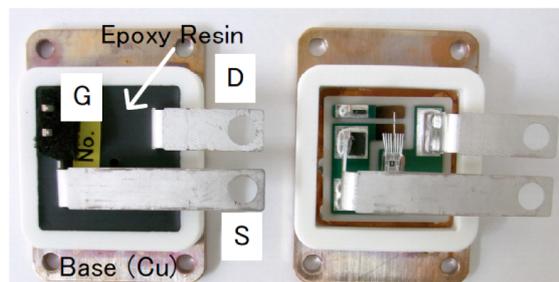


図3： 試作 SiC-JFET パッケージ

チップには 4.3mm 角のノーモリーオン型の SiC-JFET を用いており、これは SiCED 社 (独) によって開発されたものである。図5に試作デバイスのスイッチング波形の例を示す。電流の立ち上がり、立ち下がりとも 50ns 以下の高速スイッチングが可能

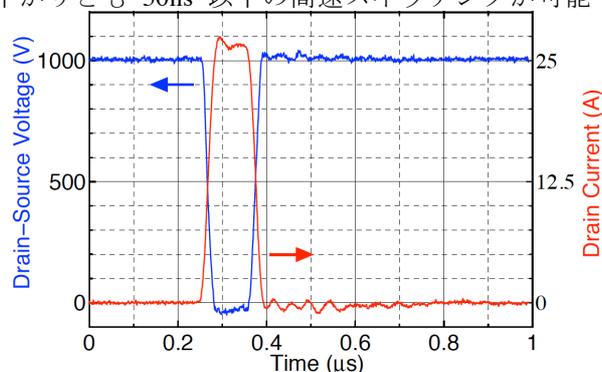


図4： 試作デバイスのスイッチング特性

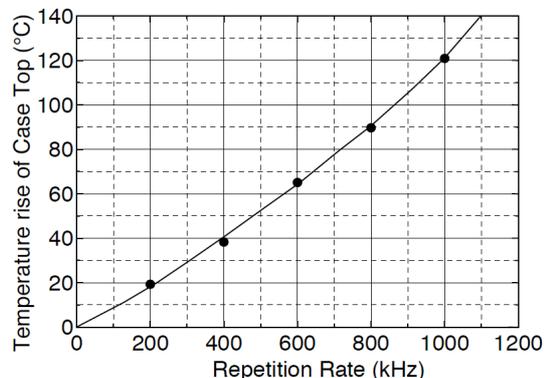


図5： 連続運転時の温度上昇特性

表1： 試作デバイスの性能

Parameter	Value	Unit
Blocking Voltage	1200	V
Pinch-off Voltage	-17	V
On Resistance (@150°C)	0.2	Ω
Thermal Resistance, junction to case	0.56	K/W
Power Dissipation	>250	W

であることが確認された。また連続スイッチング実験にも供された。図 6 に連続スイッチング実験を行ったときの温度上昇特性を示す。図 6 において温度はケース上面のモールド部にセンサー用穴を穿ち、デバイスチップ直上約 1mm のところを光ファイバー温度計で測定したものである。熱解析の結果、1MHz 動作のときの素子の最高温度は 183°C と評価された。表 1 に開発 JFET の性能指標一覧を示す。

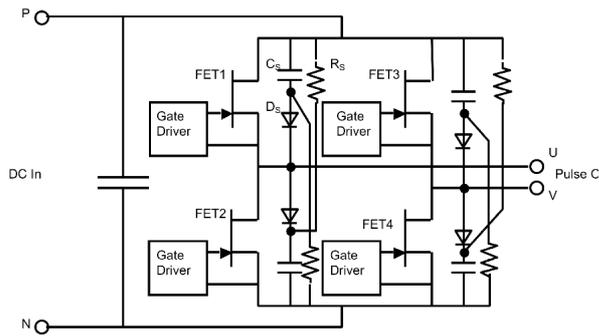


図 7 : SPS の回路構成

2.2 SPS の設計と製作

図 7 に SPS の回路構成を示す。各スイッチングアームは水冷ヒートシンクにマウントされた SiC-JFET、絶縁型 dc コンバータで電源供給されるゲートドライブ回路で構成されている。駆動信号は光ファイバーを通じて送信される。またスイッチング時の過電圧を抑制するため非放電型の CRD スナバー回路が備えられている。

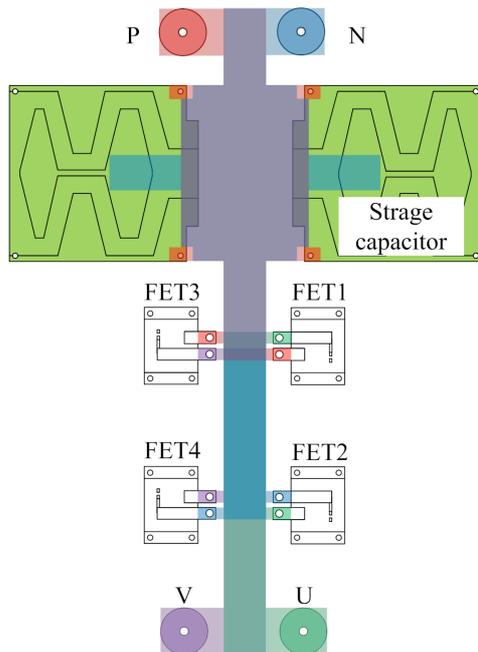


図 8 : SPS の平面レイアウト

高速スイッチング回路では配線の寄生インダクタンスを極力小さくすることが不要な電圧振動や過電圧をなくする上で重要である。そのような寄生インダクタンスを極小化するために厚さ 0.25mm のノーマックス紙[®] 2 枚を挟んで絶縁されたペア銅板配線が採用された。図 8 に SPS の平面レイアウトを示す。回路中の主要な通電部分は互いに逆方向に電流が流れる銅板が重なっているため、寄生インダクタンスの極小化が実現されている。

3. 試作 SPS の評価

3.1 抵抗負荷試験

最初に負荷として抵抗を接続してスイッチング実験を実施した。図 9 に入力直流電圧 800V、繰り返し周波数 1 MHz のときの出力電流波形と FET1 の電圧波形を示す。若干の電圧振動が見られそのために FET のピーク電圧 V_{dsp} は入力電圧よりも高くなっているが、FET の定格電圧(1.2kV)には余裕がある。この振動は配線インダクタンスとキャパシタンスの間でのスイッチングエネルギーの充放電によって発生しているものと考えられる。この現象を理解するため、回路シミュレーションを実施した。シミュレーションにおいてはインダクタンス、キャパシタンスの値は半実験的に決定した。シミュレーション結果を図 10 に示す。シミュレーションにおいても実測と同様の電圧振動が起きることが確認できた。

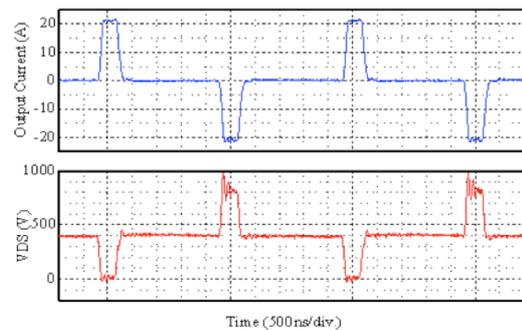


図 9 : SPS のスイッチング波形
(上) 出力電流、(下) FET1 のドレイン電圧

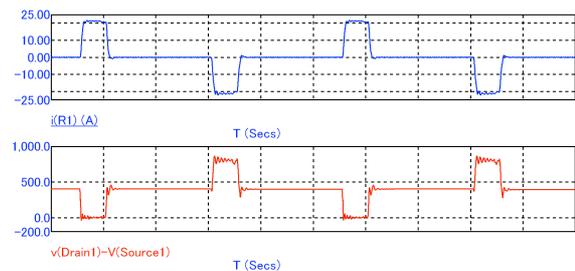


図 10 : シミュレーション波形
上) 出力電流、(下) FET1 のドレイン電圧

3.2 実セル通電試験

つぎに実際の加速器で用いているのと同じ誘導加速セルを負荷としてスイッチング実験を実施した。実験回路を図 11 に、測定状況を図 12 に示す。SPS と負荷セルの間には実加速器を想定して長さ約 30m のケーブルを接続した。ケーブルのインピーダンスは公称 $125\ \Omega$ であり、伝搬時間は実測で約 150ns であった。加速セルは外形 500mm 、内径 225mm 、厚さ 15mm のトロイダル状にファインメット@6 を巻回したコアをギャップ付きのタンクに収納したものである。また一次側の励磁巻線として銅板による 1 ターンのコイルがコアとタンクの間巻回されている。さらに二次側に誘導される電圧を測定するために 1 ターンの測定コイルを巻回した。

スイッチング実験に先立ち加速セルの一次側からみたインピーダンス測定を行った。図 13 に結果を示す。図 13 においてプロット点は実測値であり、実践はセルの等価回路をインダクタンス $70\ \mu\text{H}$ 、抵抗 $400\ \Omega$ 、キャパシタンス 90pF の並列回路と考えた時の計算値を表しており、周波数により若干の違いはあるが概略この等価回路で考えてよいと思われる。ケーブルの特性インピーダンスとの整合をとるため

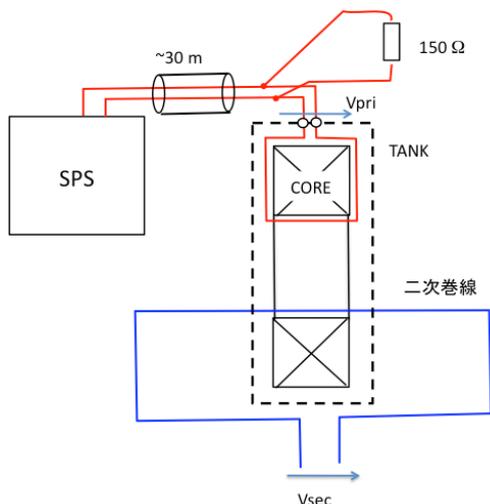


図 11 : 実加速セル組み合わせ実験回路

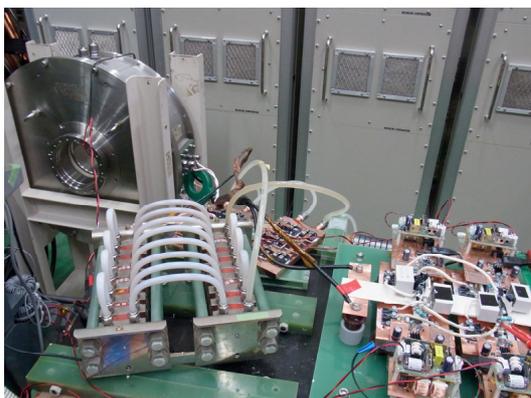


図 12 : 組み合わせ実験の様子

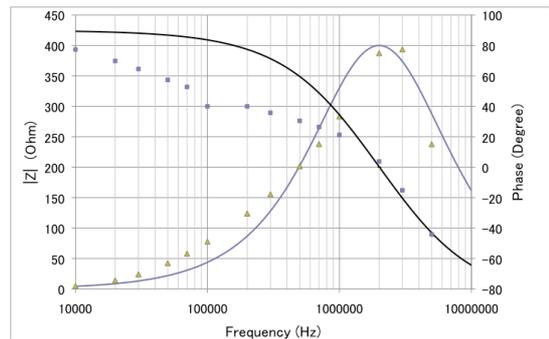


図 14 : 加速セルのインピーダンス特性

にセルと並列にマッチング抵抗 ($150\ \Omega$) を接続した。

測定波形の例を図 14、図 15 に示す。これらの図は加速セルの一次側電圧と二次側電圧、励磁電流、マッチング抵抗の電流を示している。但し図 14 は二次コイルに負荷抵抗 $300\ \Omega$ を接続した場合であり、

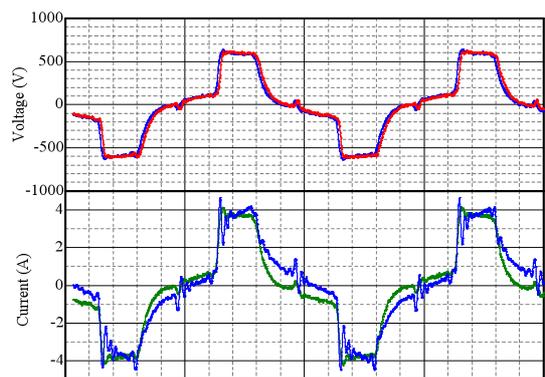


図 14 : SPS と実セルの組み合わせ実験波形
(二次抵抗: $300\ \Omega$)
(上) 一次電圧 (青)、二次電圧 (赤)
(下) セル励磁電流 (青)、整合抵抗電流 (緑)

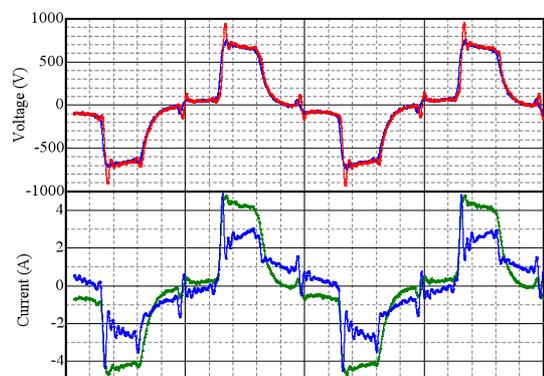


図 15 : SPS と実セルの組み合わせ実験波形
(二次抵抗: $1\text{k}\Omega$)
(上) 一次電圧 (青)、二次電圧 (赤)
(下) セル励磁電流 (青)、整合抵抗電流 (緑)

図 15 は同 1 k Ω の場合である。これらの結果より誘導加速セルの一次側から二次側への電圧伝達効率はほぼ 100 % 近いことが分かる。但し、電圧の立ち上がり部分において二次側の抵抗が 1k Ω の場合には 25 % のオーバーシュートが発生している。このようなオーバーシュートが発生するのは二次側のインピーダンスが高いために何らかの反射のような現象が発生しているためではないかと思われるが今後の研究課題である。

4. まとめ

従来の Si-MOSFET を用いた SPS を置き換えるために SiC-JFET を用いた SPS の試作を行った。試作した SiC-JFET 方式の SPS は模擬負荷を接続して 800V-1MHz の安定な動作が確認された。また、実際の加速器に用いられている誘導加速セルを接続した実験も行われた。

本 SPS を用いて誘導加速セルの研究を行うとともに、実際のビーム加速実験にも供したいと考えている。また、1アームあたりの素子数を 3 個程度に増やすことで電圧耐量を高くし、Si-MOSFET の完全な置き換えを実現したい所存である。

謝辞： 本研究は、科学研究補助金(基盤研 B24310077)の援助を受け行われた。

参考文献

- [1] T. Iwashita et al., “KEK Digital Accelerator”, Phys. Rev. ST-AB 14, 071301 (2011).
- [2] K. Takayama and J. Kishiro, “Induction Synchrotron”, Nucl. Inst. Meth. A 451, 304 (2000).
- [3] K. Takayama, Y. Arakida, T. Dixit, T. Iwashita, T. Kono, E. Nakamura, K. Otsuka, Y. Shimosaki, K. Torikai, and M. Wake, “Experimental Demonstration of the Induction Synchrotron”, Phys. Rev. Lett., 98, p054801-4 (2007)
- [4] 高山、岡村：「デジタル加速器と次世代高繰り返しスイッチング電源」, 電学論 A, Vol.132, No.1 pp.13-16 (2012)
- [5] 小関、高山、：「誘導加速シンクロトロンのための MH 動作高電圧パルス電源の開発」, 電学論 A, Vol.126-A, No. 3, pp121-126 (2006)
- [6] K. Ise, H. Tanaka, K. Takai, M. Wake, K. Okamura, K. Takayama, and Wl Jiang :” Development of a Megahertz High-Voltage Switching Pulse Modulator Using a SiC-JFET for an Induction Synchrotron”, IEEE Trans. Plasma Sci., Vol.39, No.2 pp.730-736 (2011)
- [7] K. Okamura, K. Ise, M. Wake, Y. Osawa, K. Takaki, and K. Takayama :” Characterization of SiC JFET in novel packaging for 1 MHz Operation”, Materials Science Forum Vols.717-720 pp 1029-1032 (2012)
- [8] K. Shenai, R. S. Scott, and B. J. Baliga :” Optimum Semiconductors for High-Power Electronics”, IEEE Trans. Electron Devices,, Vol.36, No.9 pp.1811-1822 (1989)
- [9] 松波弘之：半導体 SiC 技術と応用, 日刊工業新聞社 (2003)
- [10] K. Okamura et al, ” Novel Package of SiC-JFET for a Switching Pulse Supply Operating at 1 MHz for an Induction Synchrotron”, IEEE Trans. Plasma Sci., to be published