

Status of Low Power RF System in KEK-STF

Toshihiro Matsumoto^{1,A)}, Shinichiro Michizono^{A)}, Yoshiharu Yano^{A)}, Hiroaki Katagiri^{A)},
Zheqiao Geng^{B)}, Shigeki Fukuda^{A)}

^{A)} High Energy Accelerator Research Organization (KEK)

1-1 Oho, Tsukuba, Ibaraki, 305-0801, Japan

^{B)} Institute of High Energy Physics (IHEP/China)

19 Yu Quan Lu Beijing 100039, People's Republic of China

Abstract

In the superconducting rf test facility (KEK-STF), an accelerating electric field of 0.3%rms in amplitude and 0.3deg.rms in phase is required for Low-Level RF (LLRF) system. In order to accomplish these requirements, digital feedback (FB) system is adopted for flexibility of the FB and feedforward (FF) algorithm implementation. The components of the digital feedback control system (FPGA board, etc.) have been developed and estimated. This report describes the present status of LLRF system in KEK-STF.

KEK-STFでのLLRF系の現状

1. はじめに

KEKではInternational Linear Collider (ILC)計画への開発寄与のため、KEK内の陽子リニアック棟でSuperconducting RF Test Facility (STF)の建設を2004年より進めている。STFでは、2006年春からLバンド大電力クライストロンの高電圧試験と超伝導空洞用カップラーの大電力通過試験が始まり、年度末に超伝導空洞による高加速電場を実現するため、LLRF系の実証試験を行う予定である(STF-Phase I)[1]。

ILC計画では高品質のビームを実現するために、約1msの加速電場の平坦部で、振幅と位相に対して各々±0.1%、±0.1deg.程度の安定度を要求している。STF-Phase Iでは、0.3%rmsの振幅安定度、0.3deg.rmsの位相安定度をの實現を目指している。このため、STFではデジタル制御系を採用した低電力高周波(LLRF)系の開発を進めている[2]。

本発表では、STF-Phase Iで採用しているLLRF系の現状について報告を行う。

2. STF-LLRF系の構成と現状

STFでは1300MHzをRFの基本周波数として用いて、パルス幅1.5ms、繰り返し5Hzで運転する。図1にSTFでのLLRF系制御の全体図を示す。

STFのLLRF系は、JPARCで開発されたLLRF系[3]を基本としている。これらLLRFの構成要素は、PLC、タッチパネル、コンパクトPCI(cPCI)、インターロックモジュール等から成り、各々の機器は19in標準ラック内に取り付けられる。

LLRF系は、今年春から始まった大電力クライストロンの高電圧試験とカップラーの大電力通過試験のため、デジタル制御系を除いた形で運転を行い、大電力クライストロンへRFを供給している。LLRF系

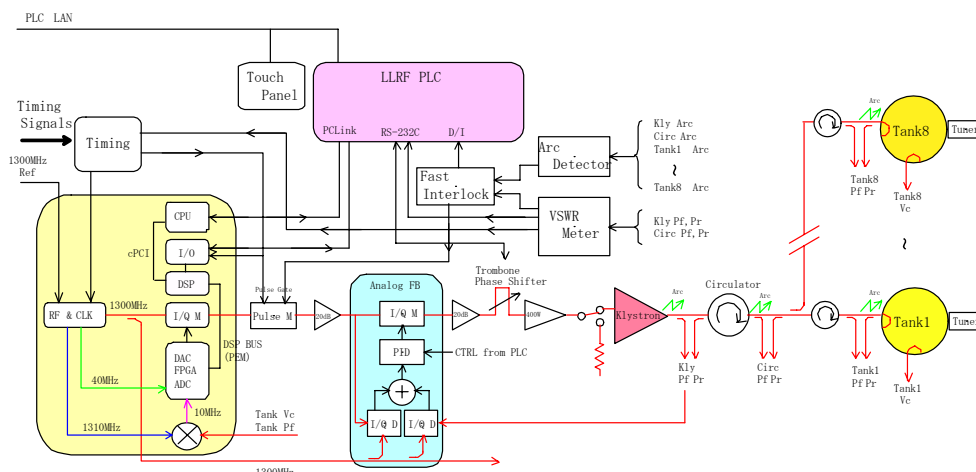


図1 STFのLLRF系の概略図

¹ E-mail: toshihiro.matsumoto@kek.jp

全体はタッチパネルによりPLCを介して制御が行われ、大電力クライストロンの運転時、導波管での反射によるArc DetectorやVSWRモニターの信号などモニター系から異常状態を示す信号は直接インターロック回路に取り込まれ、パルス変調器のゲートを数 μ s以内で閉じる仕組みになっている。

3. デジタル制御系開発の現状

STFでは、ILCで要求されているRF波形の平坦部における振幅0.3%rms、位相0.3deg.rmsの安定度を実現するために、デジタル信号処理によるフィードバック、フィードフォワードを採用した制御系の開発を進めている。このデジタル制御系は、カスタムFPGAカードを取り付けたDSPボード、IOボードといったcPCIに組み込まれるデジタル部とIQ変調器、RF&CLKユニット及び空洞のモニター信号をダウンコンバートするMixerユニットといったアナログ部より構成される(図2)。

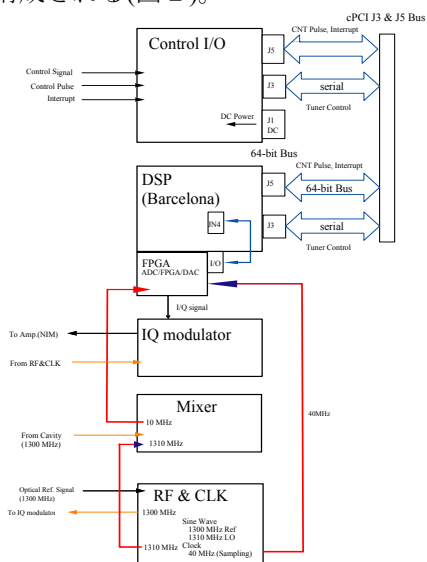


図2 STFのデジタル制御系の概略図

3.1 RF&CLK、Mixerユニット

RF&CLKユニットでは、10MHzの基準信号から、ビーム加速用周波数(1300MHz)とPLLにより同期した3種類の周波数を持つ信号(10MHz、40MHz、1310MHz)を出力する。各周波数の信号の役割について、表1に示す。FPGAのクロック信号に用いる10MHz、40MHz信号は、ノイズ等によるジッターの影響を軽減させるために、差動信号であるLVDS規格で出力させている。

周波数 [MHz]	Signal	出力先	役割
1310	RF	Mixerユニット	MixerのLO信号
1300	RF	I/Q変調器	RF
40	LVDS	FPGAボード	クロック信号
10	LVDS	FPGAボード	クロック信号

表1 RF&CLKユニットで出力する信号

1300MHzのCWのRFは、IQ変調器によってRFパルスとなった後、固体増幅器、クライストロン (TH2401A)で増幅され、超伝導空洞へ供給される。超伝導空洞を通過後のRFパルスは、方向性結合器を経由してMixerユニットへのRF信号となる。Mixerユニットでは、空洞の波形と位相の情報を反映した10MHzのIF信号が出力され、FPGAボードのADCへの入力信号となる。

STF-Phase I の目標である0.3%rms、0.3deg.rmsの振幅及び位相安定度の実現のためには、機器内素子やモニターケーブルの温度依存性、RF&CLKユニットの位相ノイズも重要な要因となる。RF&CLKユニットやMixerユニットは水冷により出力の安定化を図る。Mixerユニットの各ミキサー出力について、水温変化とRF出力変動についての評価試験を行ったところ、各チャンネルで0.1deg./ $^{\circ}$ C程度の安定性が得られた。

RF&CLKユニットの各周波数の出力について、Agilent E5052Aで測定した1300MHzの位相ノイズ分布を図3に、各周波数でのジッターの結果を表2に示す。ここでジッターは1Hzから5MHzまでの位相ノイズの強度を積分して求めたものである。

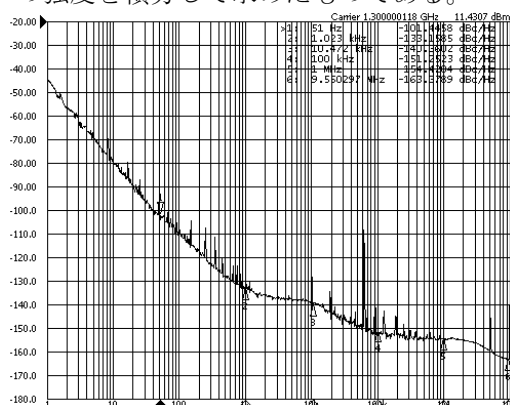


図3 1300MHzの位相ノイズ

周波数 [MHz]	ジッター(rms) [sec.]	位相ノイズ(rms) [deg.]
1310	688fs	0.32
1300	609fs	0.28
40	2.75ps	4.0×10^{-2}
10	10.1ps	3.6×10^{-2}

表2 RF&CLKユニットの各出力の位相ノイズ

1300MHzや1310MHzでは、ILCで要求されている ± 0.1 deg.よりも大きい位相ノイズ(rms)の測定結果となった。これはオフセット周波数の低い成分(1~100Hz)での測定器系の測定限界によるものであり、実際の位相ノイズ(rms)は0.05deg.程度におさまると考えている。

3.2 FPGAボード

FPGAボードはXilinx製のVirtex II Pro30、10個の

16bit ADC(LT2208)、2個の14bit DAC(AD9764)で構成される(図4)。ADCは、MixerユニットによりIF周波数(10MHz)へと変換された各空洞クライストロンの出力及び空洞からの反射信号を入力とする。

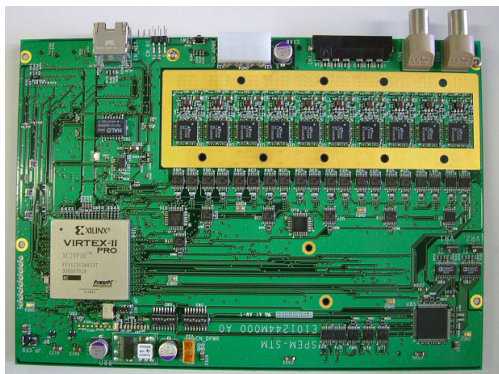


図4 開発したFPGAボード

このFPGAボードは、DSPボードの高速I/Oポート(PEM)を介してリアルタイムでの制御、データ収集が可能である。DSPボードはTMS320C6701を4個搭載したSpectrum Signal社のBarcelonaを用いる。またDSPボードはcPCIのCPUボード上のホストプログラムにより制御される。

RF&CLKユニットとFPGAボードの動作試験及びクロックジッターの影響を評価するため、ADCのサンプリング信号(40MHz)と同期した10MHzのRF信号をADCに入力し、RF信号をI/Q成分に分離後、I/Qの各成分の安定度を調べた。この測定では、10MHzのRF信号の零点及び頂点付近でADCのサンプリングを行うようにケーブル長を調整してある。ジッターの影響が大きく現れる零点付近で、I成分の出力変動は0.08%という結果が得られた[4]。

FPGAで行われるデジタル信号処理は、PI制御で行う予定であり、その制御プログラムは現在開発中である。今年秋には模擬空洞及び空洞シミュレーターを用いたデジタルLLRF系全体の評価試験を行う。

4. FPGAを用いた空洞シミュレーターの開発

LLRF制御系の性能評価試験を行うため、導波管での模擬空洞の他にFPGAを用いた超伝導空洞シミュレーターの開発を行った。この空洞シミュレーターには、2個の14bit ADC(AD6645)、2個の14bit DAC(AD9772A)、FPGA(Xilinx Virtex-IV)を組み込んだXilinx製のXtremeDSP Development Kit-IVを用いる(図5)。



図5 空洞シミュレーター

このシミュレーターは、ADCから入力した模擬のクライストロンRF出力のI/Q信号に対して、FPGAにより空洞の電氣的モデルの方程式を離散的に解いてゆくことで空洞の加速電圧を求め、DACよりI/Q信号として出力する。図6にこの空洞シミュレーターによる、空洞からの出力波形がIF周波数10MHzに変調された出力を示す。

この空洞シミュレーターを用いることにより、リアルタイムのLLRF制御系の試験が可能となり、効率的な開発や最適な制御方法の調査が可能となる。

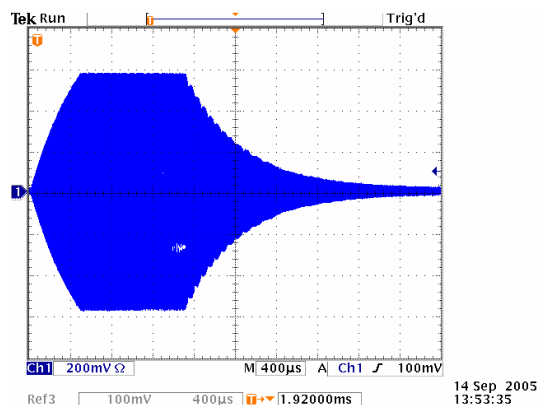


図6 10MHzに変調した空洞出力波形

5. まとめ

STFのLLRF系は、今年春からの大電力クライストロンの高電圧試験とカプラーの大電力通過試験のため、デジタル制御系を除いた形で運転を行っている。

今年度末に始まる超伝導空洞を用いた実証試験に向けて、デジタル制御系の開発を進めている。FPGAボードをはじめとしたデジタル制御系の各装置が完成し、評価試験を行っている。また、デジタル制御系全体の評価を行うために必要な空洞シミュレーターの開発を行い、今年秋にはデジタル制御系の稼動試験を行う予定である。この稼動試験において、加速電場の平坦部で振幅安定度0.3%rms、位相安定度0.3deg.rmsの実現を目指す。

参考文献

- [1] H. Hayano, 他, “ILC用超伝導RF施設(STF)の状況”, in this meeting; S. Fukuda, 他, “超伝導RF試験装置(STF)のRF源”, in this meeting; T. Takenaka, 他, “超伝導テスト装置における電力分配系の電力試験”, in this meeting; M. Akemoto, 他, “KEK超伝導試験設備(STF)に於ける長パルスモジュレータの開発”, in this meeting.
- [2] T. Matsumoto, et al., “Low Level RF System in KEK-STF”, Proc. of the 30th Linear Accelerator Meeting in Japan, Saga, July 20-22, 2005.
- [3] S. Anami, et al., “J-PARC Linac Low Level RF Control”, Proc. 29th Linear Accelerator Meeting in Japan, 297(Funabashi, 2004).
- [4] H. Katagiri, 他, “加速器制御へのFPGAの応用”, in this meeting.