

LONG-PULSE MODULATOR DEVELOPMENT FOR THE SUPERCONDUCTING RF TEST FACILITY(STF) AT KEK

Mitsuo Akemoto¹, Hiroyuki Honma, Hiromitsu Nakajima, Tetsuo Shidara, Shigeki Fukuda
High Energy Accelerator Research Organization(KEK)
1-1 Oho, Tsukuba, Ibaraki, 305-0801

Abstract

This paper presents the first long-pulse klystron modulator recently developed for the Superconducting RF Test Facility(STF) at KEK. The modulator is a direct-switched type design with a bouncer circuit to compensate the output pulse droop, and operates the klystron up to 5 MW peak power, 1.5 ms rf pulse width and up to 5 pps repetition rate. The modulator was built by improving a klystron modulator system inherited from Power Reactor and Nuclear Fuel Corp. The design, specifications and performance tests of the modulator as well as the second modulator for a 10 MW multi-beam klystron are described.

KEK超伝導試 設備 STF に於ける長パルスモジュレータの開発

1. はじめに

LCのための超伝導加速器技術の確立と推進を行う試 設備^[1] (STF)の建設が現在KEKで進行中である。STFのRF源^[2]として5MW LバンドクライストロンTH210Aを使用する。今回これをRFパルス幅1.5 ms、繰り返し5 Hzで運転する第1号パルス電源を既存の電源装置を改造して製作した。本稿では、このパルス電源の現状報告と併せて今年度製作中の新規第2号パルス電源について報告する。

2. LCバウンサー方式パルス電源

ダイレクトスイッチング方式で長パルスが発生させる場合、コンデンサバンクの放電による電圧低下サグが問題になる。このサグの度合いはコンデンサバンクの容量に反比例するので、例えば、20%のサグを1%にするためには、コンデンサバンクの容量を20倍増加しなければならない。またこれによって容積、費用も膨大になる。そこで出力電圧のサグを打ち消すのに必要な逆電圧だけを発生させる補助的な波形発生回路を出力回路に加えることによって平坦化する方法がバウンサー方式である。今回使用したバウンサー回路はFNALで開発された小型で安価なLC共振方式^[3]で、LC回路から出力された正弦波の直線部分をサグの部分に加えて平坦化する。

3. 第1号パルス電源

3.1概要

第1号パルス電源^[4]は核燃料サイクル機構(PNC)から移管したクライストロン電源システムを改造して製作した。主な改造項目は以下に示す。

(1)パルス幅1.7msを実現するためのコンデンサバ

ンクの増設。(2)出力パルスの平坦度を補償するためのLCバウンサー回路の新設。(3)新規ロングパルス用パルストランスの交換。(4)トリガー、インターロックシステムを含めた制御系の改造。

表1、に5MWクライストロンTH2104Aと第1号パルス電源の主な仕様をまとめた。

周波数	1.3 GHz
RFパルス幅	1.5 ms
ピーク出力電力	5 MW
ビーム電圧	124 kV
ビーム電流	92 A
パービアン	2.1 μ
繰り返し	5 pps
効率	46%

表 第1号クライストロン用パルス電源の仕様

ピーク出力電力	11.4 MW
パルストランス昇圧比	1:6
2次側出力パルス電圧	130kV
2次側出力パルス電流	98 A
コンデンサバンク総容量	282 μ F
パルス立ち上がり時間(10-90%)	< 0.1 ms
パルス平坦度	\pm 0.5%
パルス幅(平坦部)	>1.5 ms
パルス幅(半値幅)	1.7 ms
シリーズスイッチ電圧	21.7 kV
シリーズスイッチ電流	588 A
最大パルス繰り返し	5 pps

3.2回路と全体構成

図にパルス電源の主な回路構成を示す。6.6kV 3相50Hzを受電し、25 kVまでコンデンサバンクを充

¹ E-mail: mitsuo.akemoto@kek.jp

電する直流 圧電源、クローバ回路、シリーズスイッチ、バウンサー回路、130kVに昇圧する1:6の
パルストランス 油中使用 から構成される。直流
圧電源部 クローバ回路を含む とパルス発生部と
は別な建屋に設置されており、約100mの 圧同軸
ケーブルで結ばれている。図 にパルス発生部とク
ライストロンの全景写真を示す。

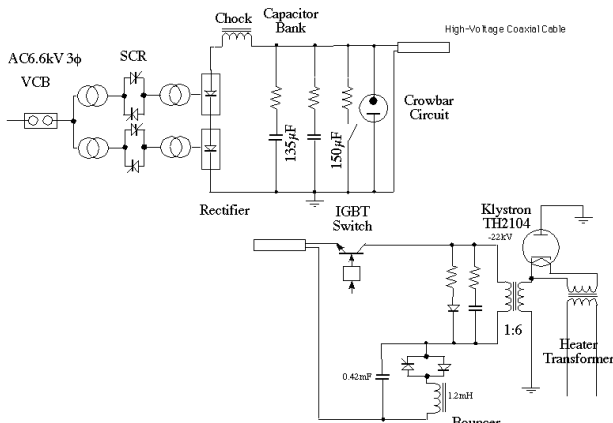


図 パルス電源の回路構成

3.2 コンデンサバンクとクローバ回路

既設のコンデンサバンク(容量132μF)に容量150μF
の小型SHコンデンサバンク(設計電位傾度〜
200V/μm)を新しく並列接続して増強した。これに
よって電圧サグは16%になる。コンデンサ破壊保護
のために、並列コンデンサからのエネルギーが注入
されないようにコンデンサ直列抵抗3.4Ωを設けた。
クローバスイッチはイグナイトロン (EEV 製
508A, 50kV, 100kA)を2本直列接続して使用している。

3.3 シリーズスイッチ

スイッチ素子としてIGBTモジュール (CM600HA-
24 定格電圧1200V、平均電流 600A)を使用し、そ
れを36直列接続してスイッチを構成する。ゲートト
リガーは光ケーブルでおこなう。

3.4 LCバウンサー回路

バウンサー回路は共振用コンデンサ 1.2mF と
リアクトル(0.42mH)、充電ダイオード、回路を起動
させるサイリスタスイッチから構成する。サイリス
タスイッチは主スイッチより少し早めにトリガーさ
れる。出力パルス電圧のサグ16%にたいして1%補償
できるようにLCの値を決定した。出力パルスの平坦
部分1.5msを十分カバーするように共振の半周期は
2.2msである。この回路の特長であるが、コンデン
サは放電後再充電されるが、パルストランス 次側
設定電圧(Es)とサイリスタスイッチのトリガータイ
ミングで決定される電圧に留まる。

3.5 パルストランス

パルストランスは新規に製作した。ただし、コス
ト削減のため、JHF^[5]で使用されたパルストランス

二次側出力パルス電圧140kV、パルス幅600μs の
カットコア25組 全コア数39組 を再利用した。コ
アの形状が決まっているため、コアの個数を増や
して所定の断面積を得た。その結果、コア全体は幅
1674mm、奥行535mm、 さ900mmの横長の形状にな
った。コア材は幅40mm、板厚0.23mmの方向性硅素鋼帯
で、次巻線にDCバイアスをかけて使用する。巻線
方式はAuto巻でバイファイラ巻きをとらない。クラ
イストロンヒーター電源は絶縁ヒータートランスで
直接供給される。パルストランスの設計値(2次側換
算値)は励磁インダクタンス60H、リーケイジインダ
クタンス20mH、分布容量570pF、サグ3%以下である。
リーケイジインダクタンスは低い値になっているの
で、早い立ち上がり特性が期待できる。パルスト
ランスタンクは絶縁油タンクに収納し、その上部にク
ライストロンが差し込まれる。タンクのサイズは幅
約3.0m、奥行約1.2m、 さ約1.3mである。

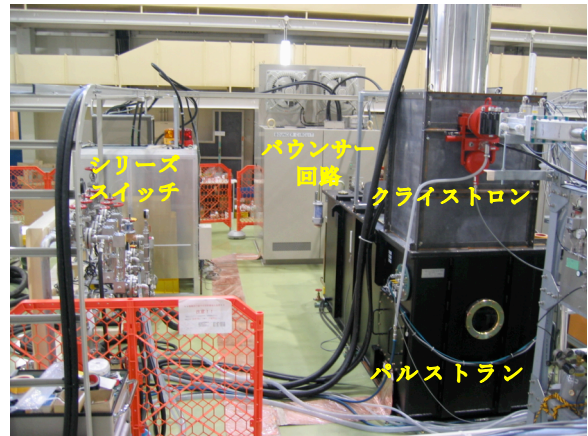


図 パルス電源(パルス発生部)の全景写真

3.6 インターロックシステム

クライストロンは 価なものなのでその保護は大
変重要である。クライストロンのビーム電流を測定
する電流モニターを使用して、負荷短絡時は 段階
の過電流保護回路が働く。Es20kV運転時では、第
段階(ガン放電時)は90Aでシリーズスイッチを遮断す
る。それでも電流は上昇する場合、第 段階(シリー
ズスイッチ短絡故障時)の102Aでクローバ回路が動作
するようになっている。これによってクライストロン
注入エネルギーを20J以下に抑制する。最近、2重ト
リガーでパルストランスのコアが飽和してトランス
次側に過電流が発生し、スイッチオフ時にシリー
ズスイッチが過電圧で素子全数破損する故障があっ
た。この故障対策として、次側に上記と同様な保
護回路を追加した。

4. 性能試験

4.1 パルス出力性能とバウンサー波形

設定電圧Es20KV、繰り返し5Hzでのクライストロ
ン電圧、LCバウンサー回路のコンデンサ電圧及び共
振電流波形(L側)の例を図 に示す。クライストロ

ン電圧の立ち上がり時間(10-90%)は30 μ sで平坦度は0.8%(P-P)で性能仕様を十分満足する。しかし、設定電圧20kV以上で過電流保護が動作し、シリーズスイッチをオフした場合、素子のコレクターエミッタ間の電圧が定格の75%以上に上昇するため、これ以上電圧を上げることができない。今後、素子の電圧余裕度を上げるために直列数を増やす予定である。

コンデンサの電圧波形で戻り電圧が くなっているのは、サイリスタスイッチに並列接続された分圧抵抗が小さいため、次の周期までに電圧低下するためである。

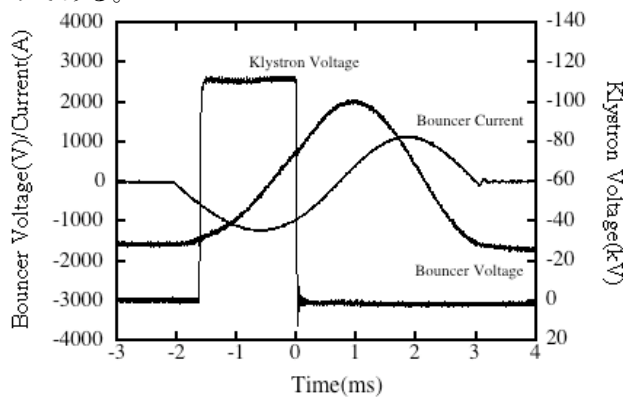


図 クライストロン電圧とバウンサー電圧・電流波形

4.2バウンサー回路の調整とパルス平坦度

図 にEs=17kVでバウンサー回路を起動させるトリガータイミングを変えた時のクライストロン電圧波形平坦部の様子を示す。主トリガーより0.52ms早いタイミングがパルス平坦度を最小(0.8%P-P)にすることが分かる。

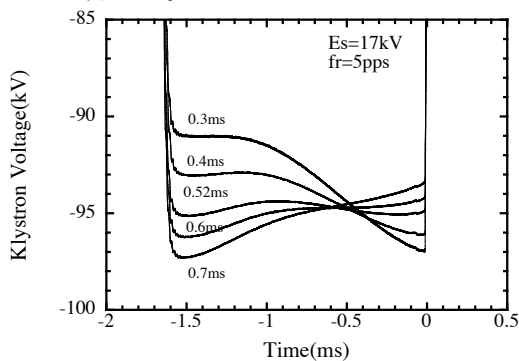


図 クライストロン電圧波形平坦部

5. 第2号パルス電源の設計

現在第 号パルス電源の設計が進行中である。第1号と同様LCバウンサー方式としILC仕様である10MWマルチビームクライストロンも駆動できるようにする。新規に製作するので、より小型、軽量化、信頼化を狙った設計を行っている。下記にその概要を述べる。

5.1直流電源とコンデンサ

小型、軽量化及び制御能力を考慮してスイッチング電源方式を採用した。また、コンデンサはSH(Self-

Healing) [6] コンデンサを開発する。このタイプの特長はエネルギー密度があげられること、そして絶縁破壊がおきてもNH(Non-Healing)タイプと異なり健全なコンデンサとしての維持ができるので安全面でも優れていることである。直流SHコンデンサの場合、誘電体にポリプロピレンフィルムを使うと設計電位傾度 $\sim 300V/\mu m$ まで上げられ、4.6Kg/KJのエネルギー密度コンデンサの開発が可能になる。

5.2シリーズスイッチ

スイッチ素子は、IGBTモジュール(CM600シリーズ 定格電圧1200V、直流電流 600A)を使用して、16S4Pで構成する。スイッチ部を簡素化するために、ゲート駆動回路の電力供給は主回路から供給し、ゲートトリガーは光ケーブルで送る。また、一つの素子に異常検出機能付 コレクターエミッタ間の電圧の監視 のゲート回路を備え、構成する素子に つでも異常が検出された場合、スイッチを 速遮断し、直流 圧電源を停止するインターロックを設ける。通常の過電流インターロックと合わせてインターロックシステムを 重化することによってスイッチの信頼性を向上させて、クローバ回路を省略する。

5.3パルストランス

長パルス用なので立ち上がり時間(10-90%)は0.1ms以下で十分なので、リーケイジインダクタンスを30mH程度(次側換算)で最適化設計する。これによってコアの小型化を計る。さらにコストを抑えるために、コアの渦電流損が小さいことから、板厚0.3mmとし、製法に於いても、これまでやられたラップ方式だけでなく通常のトランス製作で用いられる積鉄心方式を検討している。

6. まとめ

STF第 号パルス電源の性能試 を行った。満足するパルス波形及び平坦度0.8%(p-p)が得られた。現在、空洞用カプラの大電力試 に使用されてる。第 号パルス電源は、より小型、軽量化、信頼化の設計が進行中で、来年 月末完成予定である。

参考文献

- [1] H. Hayano, "Status of STF for ILC", in these proceedings.
- [2] S. Fukuda et al., "RF Source of Superconducting RF Test Facility(STF) in KEK", in these proceedings.
- [3] H. Pfeffer, et al., "A Long Pulse Modulator for Reduced Size and Cost", FERMLAB-Cnf-94/182, (1994).
- [4] M. Akemoto, et al., "Pulse Modulator Development for L-band Klystron in the Superconducting RF Test Facility(STF) at KEK", Proceedings of the 30th Linear Accelerator Meeting in Japan, pp.153-155, (2005).
- [5] JHP Design Report, JHP-10/KEK Internal 88-8(1988).
- [6] H. Sakaguchi, et al., "Development of SH Type PFN Capacitor for a Pulse Modulator", Proceedings of the 20th Linear Accelerator Meeting in Japan, pp.281-283, (1995).