

APPLICATION OF FPGA TO ACCELERATOR CONTROL

Hiroaki Katagiri¹⁾, Shigeki Fukuda, Toshihiro Matsumoto, Shinichiro Michizono,
Yoshiharu Yano, Mitsuhiro Yoshida
High Energy Accelerator Research Organization, Accelerator Laboratory
1-1 Oho, Tsukuba, Ibaraki, 305-0801

Abstract

The measurement and control system based on the FPGA technology becomes important for microwave source in the low level RF system of the KEK electron injector linac. The FPGA board are used for the data taking of a microwave source and test operation of the IQ modulation of the RF driver. Moreover, some applications of the FPGA board are considered to upgrade our accelerator. We report the development of intellectual property (IP) and interfaces to connect FPGA with the linac control system.

加速器制御へのFPGAの応用

1. はじめに

高エネルギー加速器研究機構・電子陽電子入射器では、低電力高周波源の計測・制御系へのFPGAの導入を進めている。計算機では困難であった高速な信号入出力・演算処理が可能なこと、汎用計測器と比較し低コストで導入できることなどが利点として挙げられる。これまでにFPGAボード「Xtreme DSP」を使用し、低電力高周波源の安定性試験、I/Q変調方式RFドライバの動作試験を行ってきた^[1]。さらに、以下の用途への応用が検討されている。

- ビームローディング補正用IQ変調
- クライストロン位相補償によるSLED効率向上
- 50Hz全パルスの波形監視、パルス内でのRF遮断
- 50Hzでのビームモード切替
- ビーム位相の測定によるフェージング、他

これまでのFPGAボードの運用は試験段階であり単独での運転であった。今後、営業運転を行う加速器デバイスに組み込む上では、電子陽電子入射器の上位制御系の管理下に置かれる必要がある(図1)。

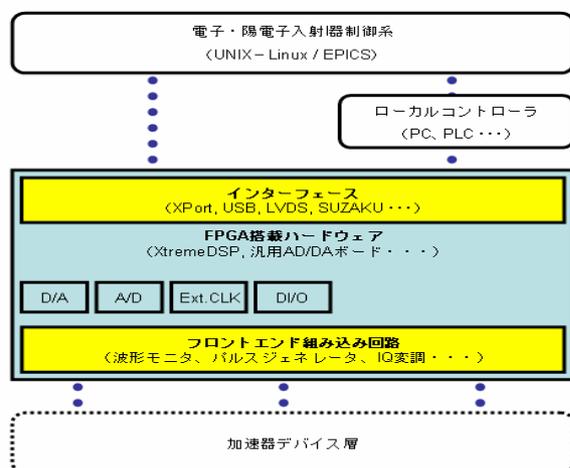


図1：加速器制御におけるFPGAの位置付け

これを実現するための、FPGAハードウェア及び組み込み回路の開発状況と、インターフェースの実装について述べる。

2. FPGAハードウェア

2.1 XtremeDSPボード^[2]

ザイリンクス社製FPGAボードで、Virtex-II/Vertex4シリーズ、ADC/DACを搭載している(図2)。以下、主な仕様を示す。

- メインFPGA : VirtexII XC2V3000
- AD/DA変換 :
ADC 2Ch. (AD6644: 14bit, 65MSPS)
DAC 2Ch. (AD9772A: 14bit, 160MSPS)
- ホストI/F : USB 1.1、PCI



図2：XtremeDSPボード外観

波形モニタやパルスジェネレータなど、基本的なフロントエンド組み込み回路は、このボードを使用して開発した。これらの回路は、次に述べる汎用ADC/DACボードでも使用する予定である。

2.2 汎用ADC/DACボード

加速器制御分野にFPGAを導入するうえで、多チャンネルのADC/DACを搭載したボードを作成が

¹⁾ E-mail : hiroaki.katagiri@kek.jp

必要とされ、汎用ADC/DACボード^[3]（図3、図4）を試作した。仕様は以下の通りである。

- メインFPGA : Spatran3 XC3S1500
- AD/DA変換 :
ADC 10Ch. (AD9235: 12bit, 65MSPS 又は
AD9215: 10bit, 105MSPS)
DAC 4Ch. (AD9744A: 14bit, 160MSPS)
- ホストI/F :
XPort、LVDS (LV1023 LV1224)

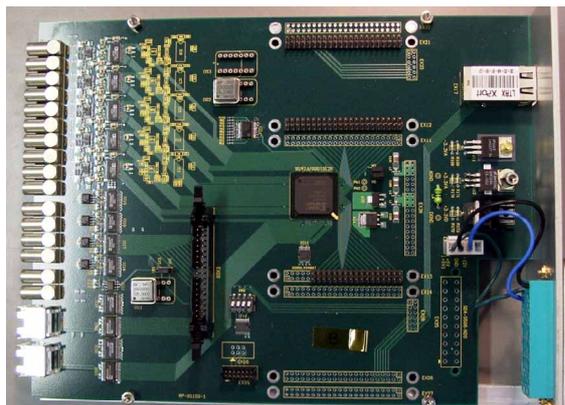


図3：汎用ADC/DACボード外観

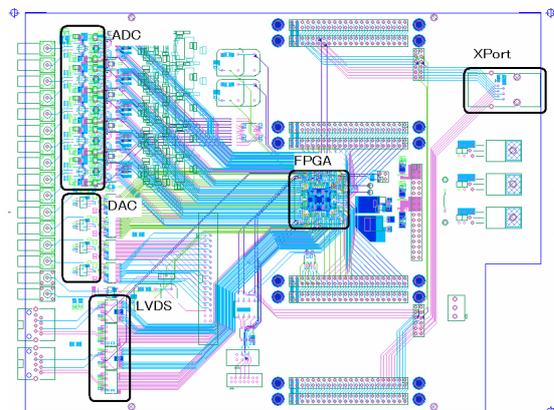


図4：汎用ADC/DACボード基板パターン

3．フロントエンド組み込み回路

3.1 パルスジェネレータ

FPGA内のデュアルポートブロックRAMに格納した波形パターンをDACから出力する簡単な回路である。小型励振系^[4]で検討されているIQ方式の振幅/位相変調でも、この回路で変調パターンパルスを供給する予定である。波形パターンの設定はXPort又はUSB経由で行う。

3.2 波形モニタ

まず、デジタルオシロスコープの代替として使用する回路を作成した。ADCが取り込んだデータをFPGA内のデュアルポートRAMに格納、外部PCからXPortを介して読み出す。但しXPortのシリアル

Ethernet方向のデータ転送がボトルネックとなり読み出し速度が上がらないため、頻繁に生データを読み出すのは効率が悪い。そこで、平均値の算出や波形の異常診断など統計処理、判断処理はFPGA内部で行う予定である。FPGA内部では波形データはリアルタイムに処理され、50Hzで運転されるパルス電源の全パルスを検証することが可能であり、単発現象の補足などにも効果的である。また、RFパルス欠け診断回路にはDACからNTSC規格のビデオ信号を出力する機能も組み込まれ、外部ディスプレイに測定結果を表示することもできる。

4．インターフェース

4.1 XPort

XPort^[5]はラントロニクス社製シリアル - イーサネット変換器である。現行リビジョンの仕様は、LAN I/FはRJ45 (10BASE-T/100BASE-TX)、シリアル側はCMOS、調歩同期式（最大921.6Kbbs）である。XtremeDSPボードでは、変換基板とフラットケーブルを介しデジタルI/Oピンに接続（図5左）、汎用ADC/DACボードでは基板上に実装した（図5右）。パラレルシリアル変換回路をFPGA上に組み込んで115.2Kbbsで動作させ、デュアルポートブロックRAMのデータ読み書き、1バイト単位のコマンド受信/返信といった比較的単純な通信を行っている。上位制御系と接続するために必要な、より高度な機能を持たせるために、4.4章で述べるSUZAKUの導入も検討している



図5：XPortの実装

4.2 USB

XtremeDSPはCYPRESS AN2135SチップによるUSB1.1インターフェースを装備し、FPGAのコンフィグレーション（組み込み回路データのダウンロード等）の他、外部ホストPCとのデータ通信も可能である。USB接続の場合は、XtremeDSP開発キットに付属するFUSE APIを使用して通信プログラムを作成する。

4.3 LVDS

汎用ADC/DACボードでは最大600Mbpsで動作するLVDSシリアライザ/デシリアライザを各2チャンネル搭載した。FPGAでインテリジェントな通信を実現するのは難しく、このような単純なシリアル通

信がFPGAボード同士の間の通信や複数のボードを運動させる場合にも好都合である。

4.4 SUZAKU^[6]

アットマークテクノ社製「SUZAKUシリーズ」(図6)はFPGAをベースとした小型ボードコンピュータである。Linuxが動作するソフトウェア又はハードウェアCPUを搭載し、LAN I/F も装備しておりメインFPGAボードに接続すれば、単なるインターフェースでなくIOコントローラとしての高度な機能を実装することが可能となる。フロントエンド組み込み回路と、インターフェース用回路を完全に分離して開発することができることも利点である。制御用ソフトウェアはLinux上で動作するため、入射器上位制御系との親和性も高いといえる。なお、汎用ADC/DACボードにはSUZAKUの接続を見越して、設置スペースとIOピンが設けられている。



図6：SUZAKU 外観

5．上位ソフトウェア環境

5.1 LabVIEW

高周波グループでは、スタンドアロンで運用する小規模な計測・制御系を構成する場合にLabVIEWにてプログラミングを行うことが多い。FPGAボードとはXPortを経由してLANで接続し、LabVIEW側はTCP/IPで通信する。またXtremeDSPとはUSBで接続する方法も検討し、C言語でFUSE APIを使用して作成したプログラムをLabVIEWから実行する手法でデータの読み出しが可能であることが確認できた。通信速度の向上には改善の余地がある。

5.2 ChipScope

FPGA組み込み回路の開発やデバッグ段階で、動作検証を行うための有効なツールとしてChipScope Pro^[7]が挙げられる。FPGA内の空き領域にソフトウェア・ロジックアナライザと取得したデータを保存するためのメモリが生成され、JTAGで接続したホストPC上でログを読み取ることができる。取得したデータをエクスポートし、他のアプリケーションで解析することも可能である。

図7はSTF (Superconducting RF Test Facility)のLLRF用FPGAボード^[8]の評価試験で、ADCが取り込んだデータを表示した結果である。

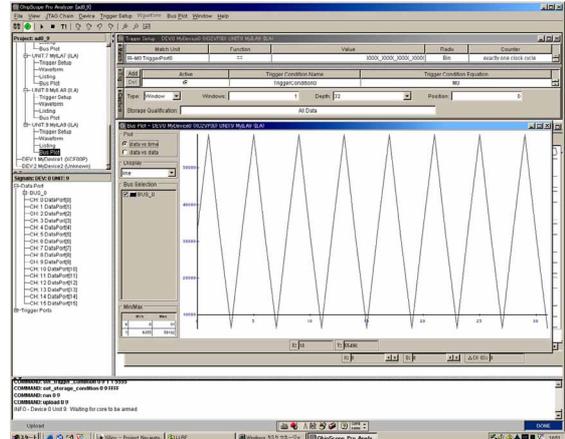


図7：ChipScope Pro

5.3 EPICS

電子陽電子入射器の上位制御系にはEPICSの導入が進められている^[9]。FPGA側のインターフェースとしてはXPort又はSUZAKUを使用することになるが、何れもEPICSの通信規約に従う必要がある。XPortを接続する場合には、EPICSの非同期通信ドライバにより操作する予定である。

6．まとめ、今後の予定

FPGAボードを加速器制御系と接続して効果的に運用する上で、ソフトウェア及び組み込み回路を含めたインターフェース部分が重要となる。次に予定されている小型励振系への汎用ADC/DACボードの組み込みについては、振幅・位相などの設定をパルス電源制御用のPLCから行うか、上位制御系から行うかも含めて検討していく必要がある。

参考文献

- [1] H. Katagiri, et al., "Microwave Measurements and control using the FPGA board", Proceedings of the 2nd Annual Meeting of Particle Accelerator Society in Japan, July 20 - 22, 2005, Tosu Japan, p284-p286.
- [2] 東京エレクトロニクス(株), "PLD SOLUTION PRODUCT GUIDE".
- [3] M. Yoshida, et al., "Study on Klystron RF Pulse Shorting and Development of Waveform Diagnostic FPGA Board", Proceedings of the 2nd Annual Meeting of Particle Accelerator Society in Japan, July 20 - 22, 2005, Tosu Japan, p308-p310.
- [4] Y. Yano, et al., "Development of Compact Klystron Drive System", in this proceedings.
- [5] <http://www.co-nss.co.jp/products/network/lantronix/xport/xport-top.html>.
- [6] <http://www.atmark-techno.com/products/suzaku>
- [7] http://www.xilinx.co.jp/ise/optional_prod/cspro.htm
- [8] T. Matsumoto, et al., "Status of Low Level RF system in KEK-STF", in this proceedings.
- [9] K. Furukawa et al., "Lifespan of an Accelerator Control System and Transition to EPICS", Proceedings of the 2nd Annual Meeting of Particle Accelerator Society in Japan, July 20 - 22, 2005, Tosu Japan, p424-p426.