

## RFSoc による X バンドの高周波信号のモニタ機能の評価

### EVALUATION OF X-BAND HIGH FREQUENCY SIGNAL MONITORING BY RFSoc

漁師雅次<sup>#</sup>, 岩城孝志, 神本圭貴, 北川隆太, 津本敦, 濱洲竜斗, 林和孝, 張替豊旗, 山浦正義, 山崎伸一  
Masatsugu Ryoshi<sup>#</sup>, Takashi Iwaki, Yoshiki Kamimoto, Ryuta Kitagawa, Atsushi Tsumoto,  
Ryuto Hamasu, Kazutaka Hayashi, Toyoki Harigae, Masayoshi Yamaura, Shinichi Yamazaki  
MITSUBISHI ELECTRIC DEFENSE AND SPACE TECHNOLOGIES CORPORATION

#### Abstract

We evaluated the capability to monitor X-band high-frequency signals using Xilinx's RFSoc (Radio Frequency System on Chip) and a THA (Track and Hold Amplifier). The RFSoc, which integrates an ADC capable of directly digitizing high-frequency signals into an FPGA (Field Programmable Gate Array), significantly simplifies traditional analog RF circuits. Initially, we discuss the fundamental functions and characteristics of the RFSoc. Subsequently, we describe the circuitry for monitoring X-band high-frequency signals using the RFSoc. Moreover, we present the results from monitoring X-band high-frequency signals using the actual constructed circuit. This research demonstrates that employing new devices like the RFSoc for high-frequency signal monitoring can facilitate more precise and efficient signal processing compared to existing circuit configurations.

#### 1. はじめに

近年、レーダーシステムや衛星通信など、X バンドの高周波信号を利用するアプリケーションが増えてきている。そのため、X バンドを容易に取り扱えるデバイスが増えてきている。加速器においても X バンドの利用が考えられているため利用可能性の評価をした。

現在、これらのアプリケーションでは、信号の品質を確保するために、アナログ回路によるダウンコンバータにより、A/D変換可能な中間周波数にして信号のデジタル処理へとつなげている。しかし、アナログ回路によるダウンコンバータでは、選択する周波数に専用のデバイスが必要となり、選択周波数ごとに新規に開発する必要がある。この課題を解決するために、RFSoc(Radio Frequency System on Chip)を評価してきた。RFSoc は、高周波を直接入出力できる ADC (Analog to Digital Converter) と DAC(Digital to Analog Converter)を内蔵し、FPGA 回路でリアルタイムデジタル信号処理を行えるため、高周波信号のデジタル化とアナログ化、そして信号処理を一体化できる。

しかし、RFSoc の入力可能周波数は C バンドの一部まで X バンドは対応していない。そこで Ka バンドまで入力可能な THA (Track and Hold Amplifier) と組合せた X バンドの高周波信号モニタ回路を開発し、実際の X バンド信号のモニタにおける性能を評価した。

#### 2. RFSoc の概要と性能

##### 2.1 RFSoc の概要

RFSoc は、AMD (Xilinx) 製のデバイスで高性能な FPGA (Field Programmable Gate Array) であり、並列でデジタル処理が可能なハードウェア部 PL (Programmable Logic) と、これとは別に柔軟なソフトウェア処理ができる PS (Processing System) があり、高性能な OS の Linux など組み込める ARM Cortex-A53 および正確なタイミン

<sup>#</sup> Ryoshi.Masatsugu@mb.medstec.co.jp

グで処理が可能なリアルタイム OS を組み込める Cortex-R5 の二種類のプロセッサを内蔵している。PL,PS 間は AXI (Advanced eXtensible Interface) バスでデータの内部共有が可能である。これは MPSoC (MultiProcessor System on a Chip) としてすでに使われてきた。そこに、高周波信号をサンプリング可能な ADC および DAC を内蔵したものが RFSoc である。

いくつかの PL および PS の性能やリソースの違い、また ADC,DAC の入出力チャンネル数の違いによりいくつかの型番がある。一般的には 8ch の入出力が内蔵されているデバイスが使われている。

##### 2.2 RFSoc の特徴

現在 RFSoc は第三世代までリリースされている。第一世代は 2017 年にリリースされて、ADC は入力周波数が 4GHz までで、分解能 12 bit、サンプリングレート 4 GSPS である。また、DAC は、出力周波数が 4 GHz まで、分解能 14 bit、サンプリングレート 6 GSPS である。次に 2018 年に第二世代がリリースされたが、特定のシステムに向けたデバイスなので特に利用の検討はしなかった。そして、現在最新の RFSoc である第三世代は 2019 年にリリースされて、ADC の入力周波数が 6 GHz まで広帯域化されて、分解能は 14 bit にダイナミックレンジが広がった、またサンプリングレートは 5 GSPS まで高速化された。DAC も出力周波数が 6 GHz まで広帯域化され、分解能は 14 bit のままだが、サンプリングレートが 10 GSPS と高速化された。Table 1 に RFSoc の第一世代と第三世代の主要な特徴を示した。[1]

ADC,DAC にはハードウェアコアとして DDC (Digital Down Converter) および DUC (Digital Up Converter) が内蔵されており、デシメーションおよびインターポレーション回路も内蔵されている。第一世代では比率が最高 8 までだったが、第三世代では最高 40 まで設定ができ、機能向上して使いやすくなっている。例えば、ADC の設定を 6 GSPS で 40 デシメーションとした場合、150 MHz 帯

域の IQ データが得られる。

Table 1: Main Features between Gen.1 and Gen.3 RFSoc

FPGA	ZU27DR	ZU47DR
Max. RF input Freq. GHz	4	6
Decimation/ Interpolation	1x, 2x, 4x, 8x	1x, 2x, 3x, 4x, 5x, 6x, 8x, 10x, 12x, 16x, 20x, 24x, 40x
ADC # of ADCs	8	←
ADC Max Rate GSPS	4.096	5
DAC # of DACs	8	←
DAC Max Rate GSPS	6.554	10
PL Logic Cells K	930	←
PL DPS Slices	4272	←
PL Memory Mb	60.5	←
GTY Transceivers	16	←
PCIe Gen3x16	2	←
100G Ethernet	2	←
PS APU	Quad-core Arm® Cortex®- A53 MPCore up to 1.33 GHz	←
PS RPU	Dual-core Arm Cortex-R5 MPCore up to 533 MHz	←

### 2.3 RFSoc 利用の利点

現在の高周波信号のデジタル処理回路は、Fig. 1 のように非線形素子のミキサを用いた周波数変換回路が必要で、さらにシステムに応じて必要な周波数選択をするための高性能な BPF を専用に開発する必要がある。

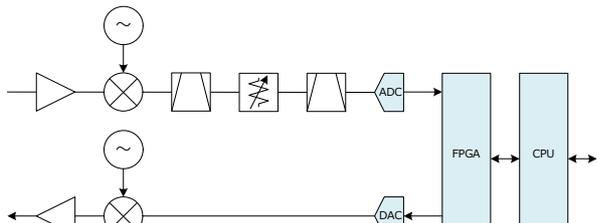


Figure 1: Block diagram of current high-frequency signal processing.

RFSoc を使った回路構成は、Fig. 2 のように汎用的な LPF などに RFSoc を組み合わせるだけでよい。また、周波数変換および周波数選択は、デジタル信号処理にできるため同一ハードウェアでも信号処理に柔軟性がある。また、使うデバイスが少なくできる。

### 3. Xバンド高周波信号モニタ回路の構成

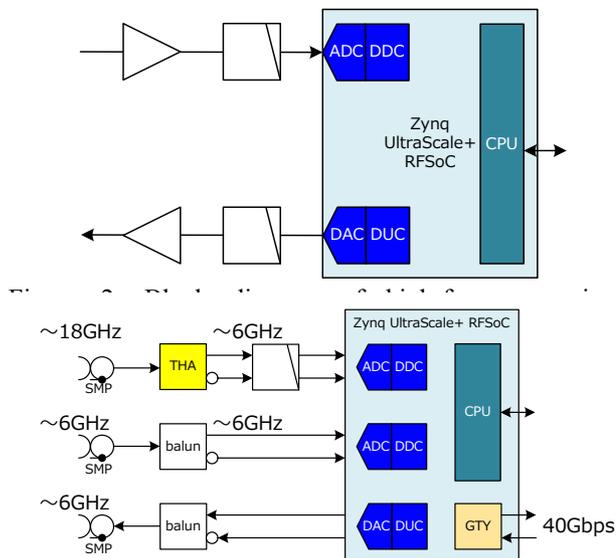


Figure 3: Block diagram of X-band RF signal monitor circuit.

Figure 3 に RFSoc に内蔵されている ADC を用いて X バンドの高周波信号をモニタするために評価した回路構成を示す。本回路では第三世代の RFSoc を使っており、内蔵の ADC は周波数 6 GHz までのアナログ信号を A/D 変換できる。このままでは、周波数 8 GHz~12 GHz の X バンドの高周波信号は入力できない。そこで、ADC の前段で、18 GHz まで入力可能な THA (Track Hold Amplifier) を使い ADC と同じサンプリングレートにより入力信号をホールドする。このホールドした信号を ADC でサンプリングする回路構成とした。

THA はトラック・モードとホールド・モードの期間がある。クロック信号が High の時はトラック・モードでユニティ・ゲインのアンプとして動作する。クロック信号が Low の時はホールド・モードで、立下り時に入力信号のサンプリングが行われ、出力をホールドする (Fig. 4)。[2]

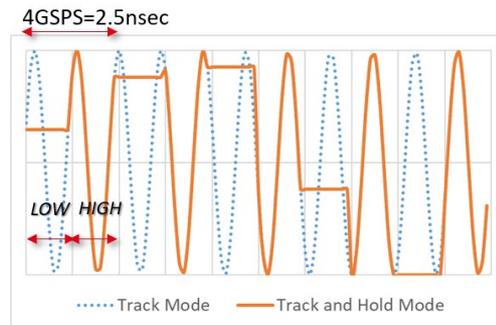


Figure 4: Overview of track and hold mode in THA.

この THA を 4 GSPS で動作させた場合、ホールドした信号の 1.25 nsec 間の平坦な部分を、後段の ADC でサンプリングする必要があり、ADC 用クロックの細かいタイミング調整が必要である。Figure 5 に一般的なクロック遅延回路の構成ブロック図を示した。[3]

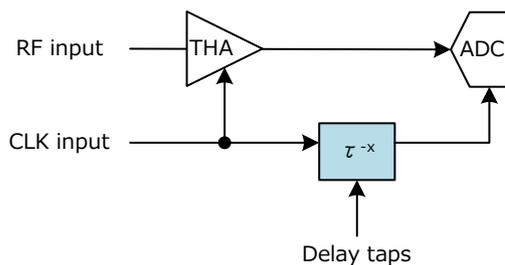


Figure 5: Block diagram of clock delay adjustment circuit.

プリント基板上のパターンで遅延の調整をするには、プリント基板のパターン長による伝搬遅延、THA やクロック分配デバイスによる遅延、ADC のアパーチャ遅延などの考慮が必要となる。この方法では、デバイス間誤差や製造上の誤差を考慮するとカットアンドトライが必要と考えられる。そこで、一般的にはデジタルで遅延時間を設定できるデバイスを用いて任意に調整できるような回路構成をとる。この構成においては、ADC の出力の SNR をモニタしながら、最適となる遅延設定を見つける調整が必要となる。また、この遅延回路は、複数のデバイスで構成されるため、小型化が必要な回路の場合には適さない。

そこで、THA の出力信号は、トラック・モードでは入力信号の周波数がそのままだが、ホールド・モードの信号をつなげると THA へ入力したクロック信号でアンダーサンプリングした信号となる。そこで、ホールド・モード時の周波数成分のみを LPF で周波数選択して、その出力を RFSoc 内蔵の ADC でサンプリングする回路構成とした。これにより、ホールド・モードで保持している期間を ADC でサンプリングするためのクロックの遅延調整が必要なくなる。

#### 4. Xバンド高周波信号モニタ評価

国内の大型直線加速器で使われている RF 周波数は、S バンドの 2856 MHz から 2 倍の C バンドの 5712 MHz がある。そこで、さらに 2 倍の X バンドの 11424 MHz を測定対象の周波数として評価した。サンプリング周波数を生成するための基準信号の周波数は SACLA の初段で使われている 238 MHz とした。評価回路の構成の制約からサンプリングクロックは、 $238 \times 33 \div 2 = 3927$  MHz とした。

Figure 6 に評価システムを示した。11424 MHz を THA でサンプリングレート 3927 MSPS にてホールドすると、第 7 ナイキストの 357 MHz に折り返される。ADC では周波数 357 MHz の信号をサンプリングしていることになる。その信号を RFSoc 内蔵の ADC に組み込まれている DDC (Digital Down Converter) により IQ ベースバンドにダウンコートした。そして、演算処理を容易にするために 16 デシメーションを 2 回行い約 15 MSPS にした。さらに、周波数帯域幅を  $\pm 1$  MHz に帯域制限して振幅および位相の

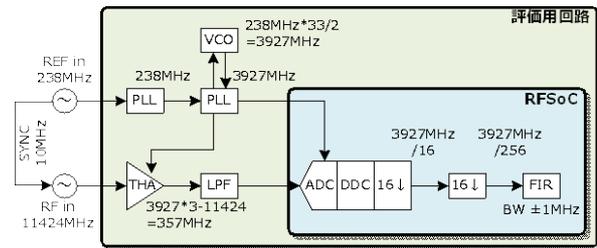


Figure 6: Block diagram of X-band high frequency signal monitor evaluation.

精度を評価した。

まず、X バンドの信号を入力した時の ADC の出力でリニアリティを測定した結果を Fig. 7 に示す。4096 pt の FFT のピーク値をプロットしているので、バンド幅は  $3927 \text{ MHz} / 4096 \text{ pt} \approx 959 \text{ kHz}$  となる。結果、約 70 dB 程度となり、RFSoc の性能からすると妥当な結果であった。また、Fig. 8 のスペクトラムを見ると 11424 MHz を THA でアンダーサンプリングした 372 MHz の高調波が見られる。しかし、これらの高調波は DDC およびデジタルフィルタによる周波数選択で抑圧できる。

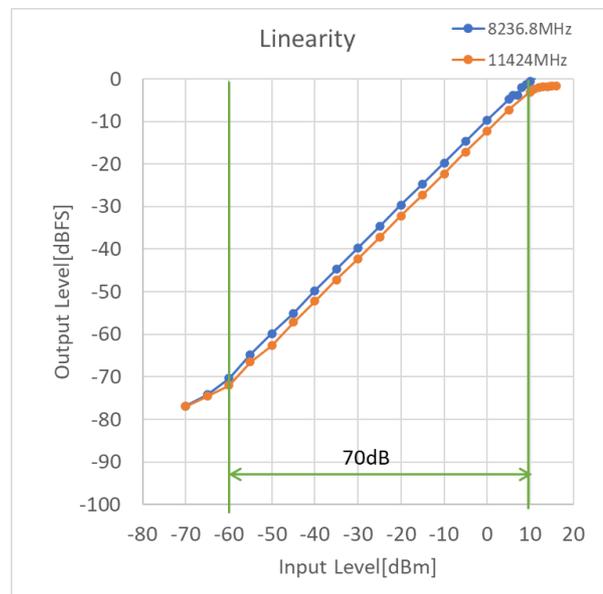


Figure 7: Linearity evaluation results of ADC with X-Band signal input.

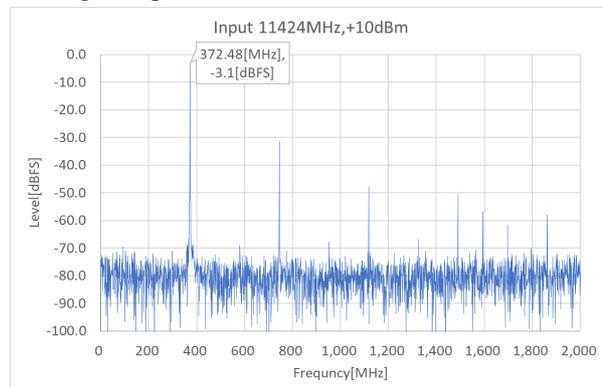


Figure 8: FFT spectrum during X-Band signal input.

FIR フィルタの出力の IQ データを 4096 pt 収集してオフラインで FFT した結果を Fig.9 にスペクトラムを示す。近傍のノイズレベルは-70 dBFS 程度になっている。入力信号用の SG のノイズレベル性能からすると、-100 dBFS 程度がノイズレベルとなるので、評価システムもしくは回路に原因があると考えられる。

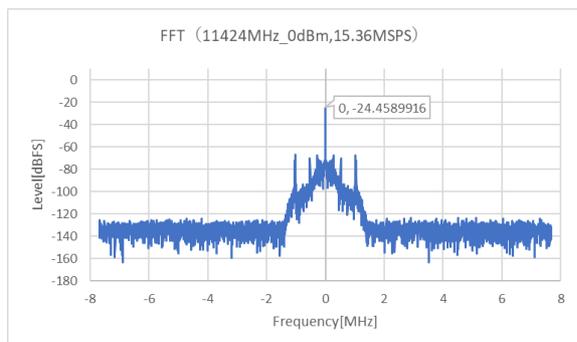


Figure 9: Spectrum when sampling at 11424 MHz and narrowing to BW  $\pm 1$  MHz.

このデータより求めた振幅および位相の変動を Fig. 10 に示した。振幅精度は、0.072 %rms で位相精度は、2.079 deg.だった。振幅精度に対して位相精度が比較的に悪いので、クロックジッタの影響が大きいと考えられる。

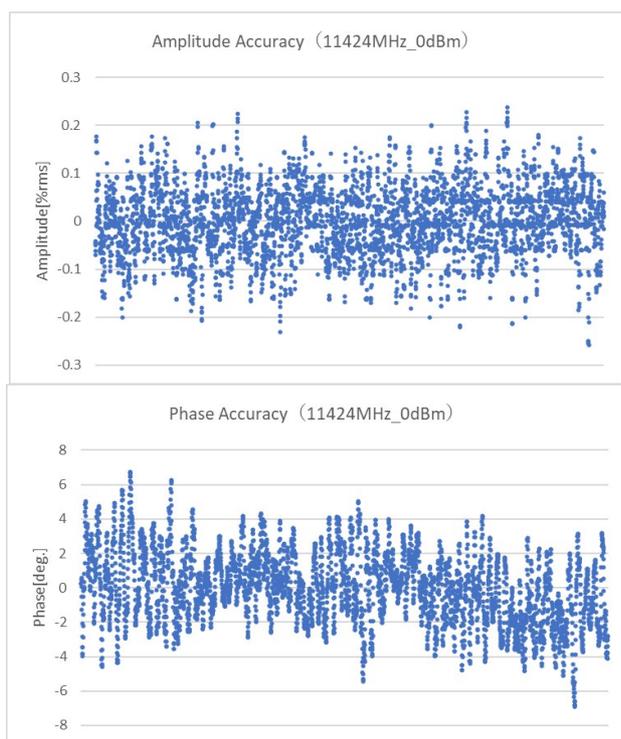


Figure 10: Amplitude and phase accuracy when sampling at 11424 MHz and narrowing to BW  $\pm 1$  MHz.

同様の評価環境で THA ではなく、バランを使った入力回路に 5712 MHz および 2856 MHz の正弦波を入力して評価をした。振幅および位相の変動を Fig. 11 および Fig. 12 に示した。振幅精度は 0.059 %rms, 0.053 %rms、位相精度は 1.104 deg., 0.518 deg.だった。

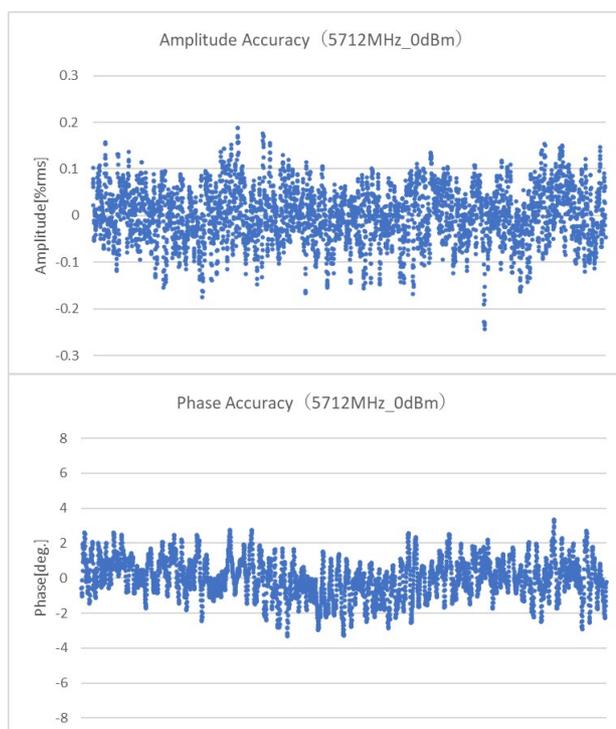


Figure 11: Amplitude and phase accuracy when sampling at 5712 MHz and narrowing to BW  $\pm 1$  MHz.

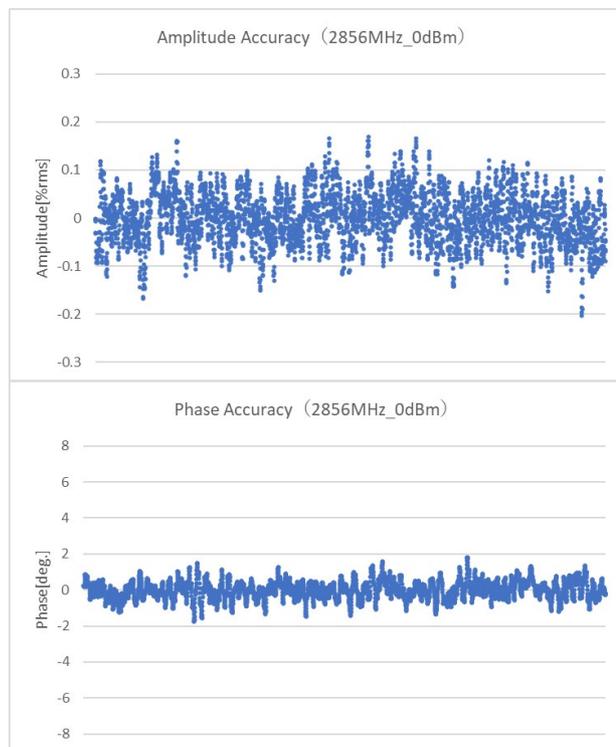


Figure 12: Amplitude and phase accuracy when sampling at 2856 MHz and narrowing to BW  $\pm 1$  MHz.

これらの結果より、THA とバランを使ったそれぞれの系統で振幅の精度は、0.1 %rms 以下と違いがほとんどなく、ダイレクトサンプリングでも振幅モニタには使える程

度だと考えられる。しかし、位相精度は、周波数が2倍に高くなるほど同様に2倍に悪くなるため、サンプリングクロックのジッタと考えられる影響がみられた。今回の評価回路上のサンプリングクロックの生成回路を小型化するため従来の回路から変更しており、約0.5 MHz および約1 MHz などの位相雑音が高くなっていた。そのためFFT結果のスペクトラムの位相雑音につながっている可能性がある。クロックの生成回路の改善が必要と考えられる。

## 5. まとめ

第三世代のRFSocに内蔵されているADCは入力周波数が6 GHzまでなので、Xバンドの信号をモニタするために、前段にXバンドが入力できるTHAおよび汎用的なLPFを追加して、振幅・位相をモニタできるか精度を評価した。

2台のSGを10 MHz同期して、238 MHzをリファレンス信号とした3927 MSPSのクロックで11424 MHzをサンプリングした場合、振幅精度 0.072 %rms、位相精度

2.079 deg.となった。これらの結果から、RFSocを用いたXバンドの高周波信号モニタは、振幅モニタでは利用できると考えられる。

## 参考文献

- [1] AMD Zynq™ UltraScale+™ RFSocs Product Table, <https://www.amd.com/ja/products/adaptive-socs-and-fpgas/soc/zynq-ultrascale-plus-rfsoc.html#product-table>
- [2] HMC661 Datasheet, <https://www.analog.com/media/en/technical-documentation/data-sheets/hmc661.pdf>
- [3] Radically Extending Bandwidth to Crush the X-Band Frequencies Using a Track-and-Hold Sampling Amplifier and RF ADC, <https://www.analog.com/en/resources/analog-dialogue/articles/radically-extending-bandwidth-to-crush-the-x-band-frequencies.html>