

トリガ付きスケーラの開発とトリガ抜け検知

DEVELOPMENT OF TRIGGERED SCALER TO DETECT MISSING TRIGGER

佐藤健一^{#,A)}, 上窪田紀彦^{A)}, 田島佑斗^{B)}, 吉田奨^{B)}

Kenichi Sato^{#,A)}, Norihiko Kamikubota^{A)}, Yuto Tajima^{B)}, Susumu Yoshida^{B)}

^{A)} J-PARC Center / KEK (Tokai campus)

^{B)} Kanto Information Service (KIS)

Abstract

In the timing system of J-PARC MR, trigger signals are generated and delivered to accelerator components, for example, a power supply or a beam diagnostic device. The machine cycle of J-PARC MR is 2.48s in FX-mode, or 5.52s in SX-mode. Each component receives one trigger per the machine cycle. During beam operation, when we detect an unexpected behavior of beam, we often discuss a miss-trigger to be an origin of such the behavior. Although we can confirm parameter settings of timing triggers, there is no read-back system to check trigger signals at end components. A “Triggered Scaler” is a scaler to count trigger signals. It stores counts in a memory array, and each external 25Hz input shifts the pointer to the array. For the MR cycle 2.48s (5.52s), 62 (138) elements are used in an array. At a normal time, “1” is set in an element among the other “0” value elements. But when a miss-trigger occurs, all elements become “0”. A prototype of “Triggered Scaler” is developed. In this paper, we report a demonstration using trigger signals of MR.

1. はじめに

J-PARC (Japan Proton Accelerator Research Complex) は日本原子力研究開発機構(JAEA)と高エネルギー加速器研究機構(KEK)が共同で計画及び運営を行っている大強度陽子加速器施設である[1]。リニアック、3GeV シンクロトロン(RCS: Rapid Cycling Synchrotron)、50GeV シンクロトロン(MR: Main Ring)の3つの加速器で構成されている[2,3]。

J-PARC におけるタイミングシステムは、これら3つの加速器が必要とするサイクルが異なるため、無理なく同居できるように加速器を同期して運転するための司令塔となっている[4]。そのうちMRでは2つの運転モード(サイクルは2.48s/Fast extraction(FX) mode or 5.52s/Slow extraction(SX) mode)で繰り返し運転をしている。1サイクルの中でビームを加速するために、決められた時間間隔で各機器の状態を遷移していく必要がある。たとえば電磁石は Figure 1 に示すようにビーム待ち受けの3GeVの磁場、加速された30GeVの磁場を決められた時間で遷移している。このような台形波形のことをパターンと呼ぶ。「P0」から「P4」はMR内で広く使われる特別なタイミングであり、「Ts」(S信号とも呼ぶ)は上流を含めた加速器サイ

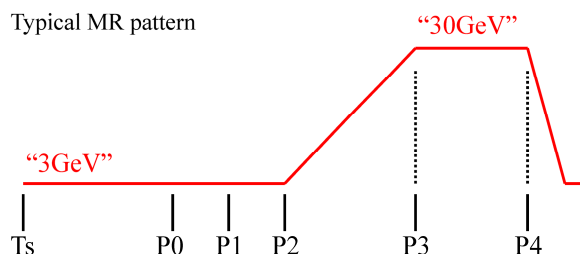


Figure 1: Typical J-PARC MR timing pattern.

クル開始を知らせる特別なタイミングである。またP0からP4まではそれぞれ、(P0)電磁石のパターン開始、(P1)ビーム入射開始、(P2)加速開始、(P3)FLATTOP(30GeVを維持する期間のこと)開始、(P4)FLATTOP終了を意味する。

MRのあらゆる装置が「トリガ信号」を基準にして動作をしており、タイミングシステムから分配されたトリガ信号は約300点にも及ぶ。それぞれのMR機器は1サイクルの中で1発だけのトリガ信号を受信して使用するのが基本である。タイミングはあらゆる機器で使われているが、機器の不調が発生した時、トリガ信号が抜けたため発生したと疑われることがある。一方、機器側で本当にトリガが抜けても、現状では裏付けを取ることは難しい。

「トリガ抜け」が発生した事象を一件取り上げる。2015年11月以降、利用運転(ハドロン実験施設)中にビームプロファイルが太くなる(悪くなる)ショットが稀にある、という報告があった。この時、MRではビームロスモニタなどでMPS(Machine Protection System)は発報していないが、COD(Closed Orbit Distortion)が加速開始とともに増大していた。Figure 2は2016年4月の利用運転(ニュートリノ実験施設)時のCOD例で、左側は正常時のCOD、右側は問題があった時のCODである。この現象は、2015年11月から2016年6月の間、頻度の高い時で1日数回、低い時は月1~2のペースで発生した。

ビーム軌道の解析から、ステアリング電源(MR第一電源棟)のトリガ抜けが疑われた。当初はトリガ信号の伝送経路(信号ケーブル、光/電気変換モジュール等)が疑われたが、最終的にタイミングモジュールのノイズによる誤動作と判明した[5]。MR第一電源棟のタイミングモジュール近傍でフェライトコアを多数装着したところ再発しなくなった。

解決までに半年の時間がかかった原因は、J-PARC MRではトリガ信号(アナログ信号)が現場(MR第一電源

[#] kenichi.sato@j-parc.jp

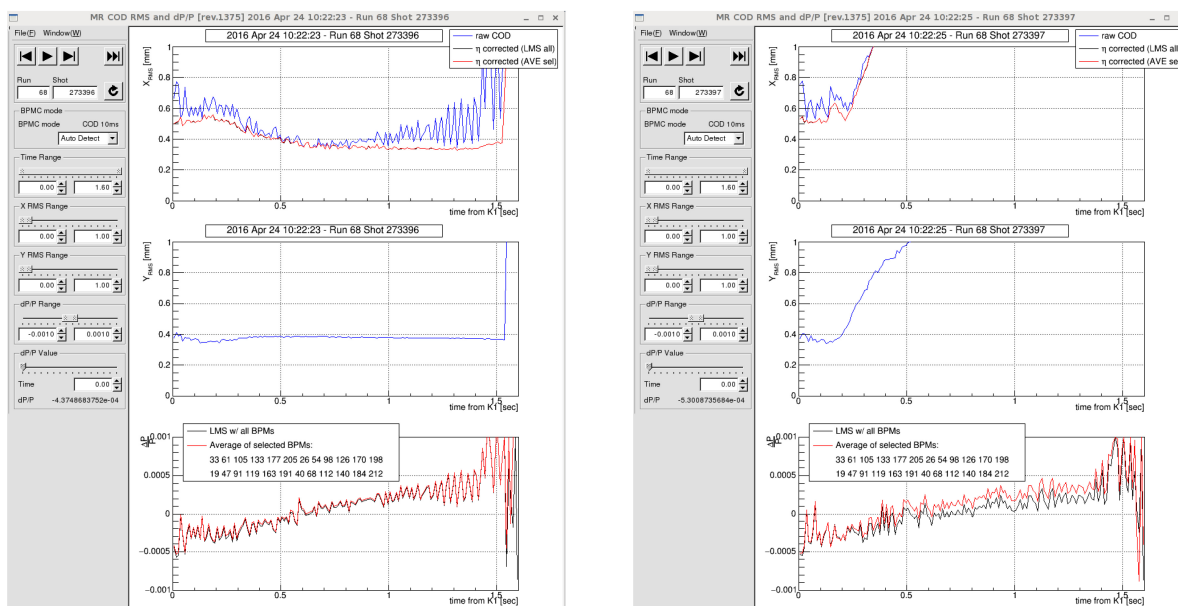


Figure 2: Missing trigger event in April, 2016.

棟)で生成されて末端まで届いた(あるいは抜けた)ことを調べる Read-back 系が無いことである。そこで、生成されたトリガ信号を現場で確認し、稀に発生するトリガ抜けをすぐに検知できるような新しいモジュールを検討した。

2. トリガ付きスケーラの考え方

2.1 設計時の構想

監視する信号を汎用スケーラに入れば、サイクル毎に 1 つずつ増えていく様子が見えるであろう。カウントアップの不規則変化で信号の抜けやダブルカウントを知ることができるが、それをソフト的に検知するのは困難である。そこで、スケーラに計数を記録するメモリバッファ(配列)を持たせ、切り替えトリガの入力で記録するメモリを切り替えていく「トリガ付きスケーラ」を設計した。

トリガ付きスケーラを導入するにあたって、小型かつ少チャンネル(2-4 本程度)のモジュールが望ましいと考えていた。本モジュールはタイミングモジュールの上流ではなく、分配された後の機器側に設置することを想定している。

トリガ付きスケーラの全体図を Figure 3 に示す。青く囲われている部分がスケーラのモジュールであり、外に書かれているものは外部入力信号である。モジュールの動作は内部 FPGA が処理する。Figure 3 の FPGA_1 はメモリへの書き込み、FPGA_2 はメモリを読みだして判断を行う。外部入力は 3 種類あり、(1)S 信号(S-Signal)、(2)25Hz トリガ入力(Trig-in: Trigger input 25Hz)、(3)計数入力(Signal Input)となっている。計数入力は CH1 から CH4 まで計 4 本受け付けるため、メモリバッファも 4ch 分確保している。また、Figure 3 に示すように内部トリガ(Figure 3 の internal trigger)を用意しているの、外部トリガが無い場所での使用も考えられている。

モジュールは以下のように動作する。S 信号の入力(Figure 3 の S-in)から計数を開始し、計数信号入力のたびにカウントアップする汎用スケーラとして動作し、その計数はメモリバッファの先頭に格納される。各メモリの容

量は 16bit である。次に 25Hz トリガ入力(Trig-in)が入力されると、メモリバッファへのポインタがインクリメントされ、隣のメモリに計数が格納される。次の S 信号が来るまで(MR の 1 サイクルに相当)この動作が繰り返される。また、次の S 信号が入力されるとメモリバッファへのポインタは先頭に戻るが、バッファは 2 系統用意されており、もう一方のバッファを使用する。つまり、1 回前のサイクルの記録は上書きされずに残ることになる。このようにして、例え

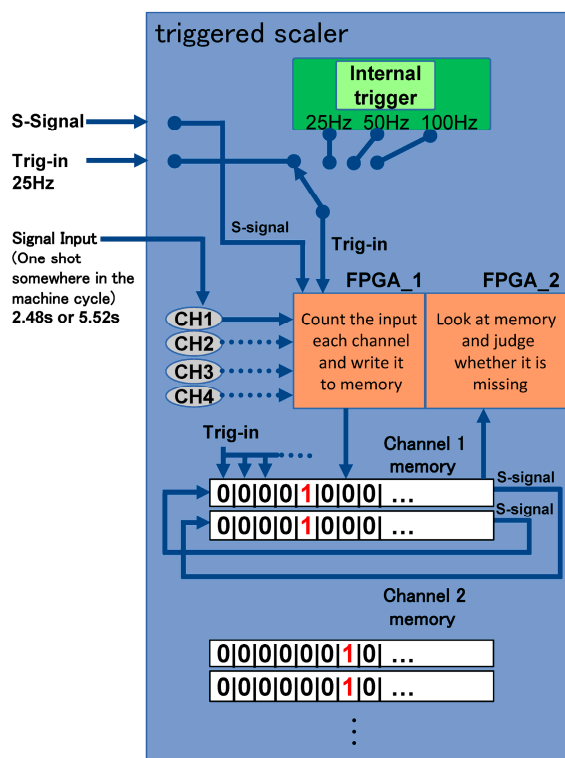


Figure 3: Triggered scaler system.

ば MR サイクル 2.48s の時には 62 個、5.52s の時には 138 個の計数結果の配列を取得する。

3.1 で紹介する PLC(Programmable Logic Controller) 型試作品では、ハードウェア制約との取り合いから、計数入力数は4、メモリバッファにはメモリが 193 個、となった。トリガ入力 が 25Hz なら、最長 7.72s のサイクルまで対応できる。

2.2 MR で想定する正常動作について

トリガ付きスケーラの動作をタイミングチャートにすると Figure 4 に示す動作をする。正常時は S 信号で示すサイクルで MR トリガは 1 発だけなので、正常時には 62 個あるいは 138 個のメモリ配列のどこかが”1”でそれ以外は”0”の配列になる。サイクルはいつも繰り返しているので、Figure 3 下部で示すように、正常時はメモリバッファのいつも同じ場所が”1”になる。

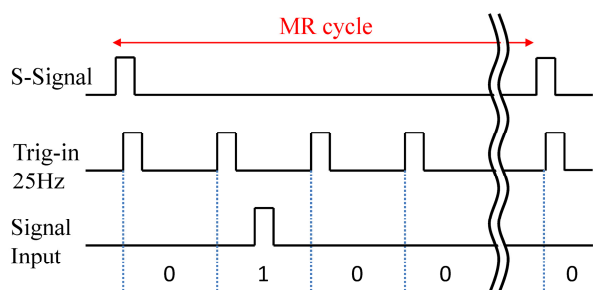


Figure 4: Normally trigger detection.

S 信号が入った時、1 つ前のサイクルのメモリバッファの記録が上記の正常状態から逸脱していないかで、異常(トリガ抜けやダブルカウントなど)があったかどうか判断することができる。

2.3 MR で想定通りの信号が来なかった時の振る舞い

トリガ抜けが発生した時のタイミングチャートを Figure 5 に示す。本来トリガ入力があるはずの場所に信号が来ないと、メモリバッファの全要素が”0”となる。

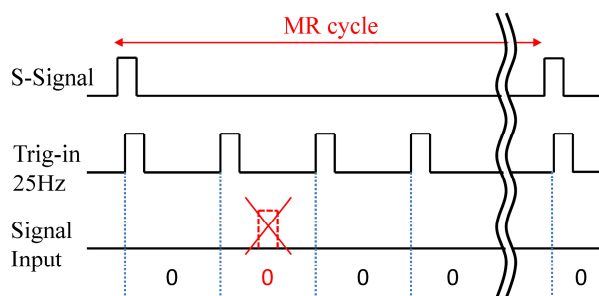


Figure 5: Missing trigger detection.

一方、ノイズなどの影響で MR トリガが 2 つ以上検出された場合のタイミングチャートを Figure 6 に示す。Figure 6 で示しているのは、25Hz 周期のメモリ切り替えが行われる前に MR トリガが 2 発来た様子および複数のメモリに”0”ではない数が検出された様子である。これらを「ダブルカウント」と呼ぶ。

ダブルカウントはノイズが原因と思われる事象であるが、実際には様々な原因がありうる。メモリバッファを読みだ

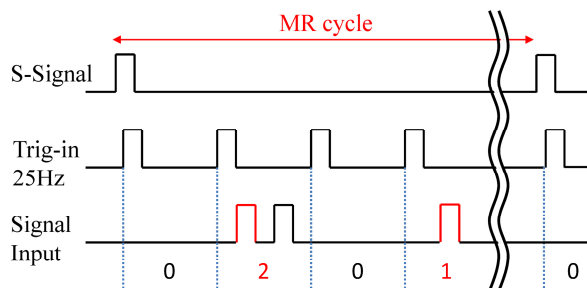


Figure 6: Double counting trigger detection.

して、ノイズがどのように入ったか調査すれば、その発生元が何かを判断するための材料になることが期待できる。

3. トリガ付きスケーラの試作品評価

3.1 試作

2016 年 3 月に「トリガ付きタイミングスケーラ」の試作品を開発した。論理設計は日立造船に依頼した。

本デバイスは横河電機製の PLC である FA-M3 シリーズの I/O(Input/Output)モジュールとして動作する。これは MR で I/O モジュールとして広く普及しており[6]、小規模実装(チャンネル数 4 程度のもの)および省スペース化を狙ったものである。論理は FPGA(Altera Cyclone IV)で組んである。PLC では、CPU とモジュール間の I/O データ通信幅は 2kB である。メモリバッファの配列(2kB x 2)は FPGA 内に実装しており、CPU からはモジュールのページレジスタを切り替えることでダブルバッファの読み出しができる。

3.2 試験環境

試作品の動作確認のために、MR で使われているタイミングの実信号を入力信号に使用して検証を行った。使用した PLC モジュールの組み合わせを Figure 7 で示す。CPU にはシーケン CPU モジュールである F3SP71-4S を使った。スロット 3 にあるのが試作品のトリガ抜けモジュールである。



Figure 7: A picture of test set for a triggered scaler.

Figure 7 で示すスケーラモジュールの”S IN”および”TRIG IN”に、MR の S 信号と 25Hz トリガ入力の信号を使用した。モジュールの下半分の”CH1 IN”から”CH4 IN”までは計数信号を意味しており、試験信号を入力し

た。“S OUT”および“TRIG OUT”は今回の試験では使用していないが、複数のモジュールを使うためのもので、そのときは S 信号と 25Hz トリガ入力信号をデジizerチェーンでつないで拡張を行える。

試験では、想定通りに動作をしてデータを取得できるかどうか注目した。

3.3 試験結果と評価

横河電機の PLC ラダープログラム用アプリケーションである「Widefield3」を使って確認した、試験中のレジスタマップを Figure 8 に示す。スケーラモジュール自体が持っている内部設定レジスタ・メモリバッファと、CPU モジュールのデータレジスタを関連づけて、データの操作や確認が問題なくできることを確認した。

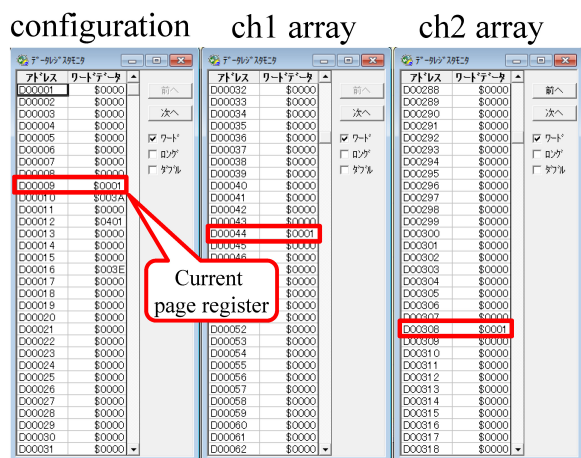


Figure 8: Demonstration of triggered scaler.

Figure 8 は 3 列に分かれているが、左列が内部設定、中央列がチャンネル 1 のメモリバッファ、右列がチャンネル 2 のメモリバッファの先頭部分である。アドレスマップは #00009(スケーラの 9 番目のレジスタ)から #00016 が内部情報レジスタ、#00033 からがチャンネル 1、#00289 からがチャンネル 2、#00545 からがチャンネル 3、#00801 からがチャンネル 4 の配列(カウント値格納エリア)となっている。

Figure 8 を見ると、チャンネル 1 のメモリバッファ(ch1 array)およびチャンネル 2 のメモリバッファ(ch2 array)ともにそれぞれのアドレス中 1 つのデータレジスタだけに“1”が格納されている(今回の例では D#00044(データレジスタの 44 番)と D#00308)。また、D#00009 は現ページレジスタを表しており、S 信号入力のたびに 0 と 1 が切り替わる(ダブルバッファが切り替わる)様子を確認している。また、タイミングケーブルを抜いた時に、ch1 array のレジスタが全て“0”になること、コネクタを接続しようとしているときにチャタリングノイズとなってダブルカウントすることも確認できた。

4. まとめ

J-PARC MR のタイミングシステムに対する read-back 系を構築するため、トリガ付きスケーラを試作した。トリガ付きスケーラを 2015 年 11 月に頒発したようなトリガ抜きの検出に使用できることを示し、検証試験を行った。

今後の課題としては、PLC の Linux CPU モジュールで

ある F3RP61 を使って、EPICS(Experimental Physics and Industrial Control System)のデバイスサポートを用いた構成で動作試験を行う[7,8]。これが実現すると、シーケンス CPU 並びに EPICS IOC(Input Output Controller)を別途立てるコストを削ることができる。また、実際の MR へ導入し、トリガ抜けが発生した場合の確認の方法・手順などを模索していく。

参考文献

- [1] J-PARC ホームページ; <http://j-parc.jp/>
- [2] K. Hasegawa *et al.*, “Performance and Status of the J-PARC Accelerators”, Proceedings of IPAC2017 in Copenhagen, Denmark, May 14-19, 2017, pp. 2290-2293.
- [3] T. Koseki *et al.*, “Beam Commissioning and Operation of the J-PARC Main Ring Synchrotron”, Progress of Theoretical and Experimental Physics (PTEP) 2012, 02B004, 10.1093/ptep/pts071.
- [4] N. Kamikubota *et al.*, “Operation Status of J-PARC Timing System and Future Plan”, Proceedings of ICALEPCS in Melbourne, Australia, Oct. 17-23, 2015, pp. 988-991.
- [5] N. Kamikubota, “MR Steer トリガ抜け調査@D1 steering”, J-PARC 内部資料 (2016.5.6).
- [6] N. Kamikubota *et al.*, “Operation Experience and Migration of I/O Controllers for J-PARC Main Ring”, Proceedings of PCaPAC in Campinas, Brazil, Oct. 25-28, 2016, THPOPRPO09.
- [7] EPICS ホームページ; <http://www.aps.anl.gov/epics/>
- [8] J. Odagiri *et al.*, “Integration of PLC with EPICS IOC for SuperKEKB Control System”, Proceedings of ICALEPCS in San Francisco, US, Oct. 6-11, 2013, pp. 31-34.